



Intégration 3D de nanofils Si-SiGe pour la réalisation de transistors verticaux 3D à canal nanofil

Guillaume Rosaz

► To cite this version:

Guillaume Rosaz. Intégration 3D de nanofils Si-SiGe pour la réalisation de transistors verticaux 3D à canal nanofil. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT108 . tel-00981971

HAL Id: tel-00981971

<https://theses.hal.science/tel-00981971>

Submitted on 23 Apr 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **NANO ELECTRONIQUE ET NANO TECHNOLOGIES**

Arrêté ministériel : 7 août 2006

Présentée par

Guillaume ROSAZ

Thèse dirigée par **Thierry BARON**

coencadrée par **Bassem SALEM** et **Nicolas PAUC**

préparée au sein du **Laboratoire des Technologies de la Microélectronique (CNRS)** et du **Laboratoire Silicium, Nanoélectronique, Photonique et Structures (CEA-INAC-SP2M)**

dans l'École Doctorale EEATS

Intégration 3D de nanofils Si et SiGe pour la réalisation de transistors verticaux à canal nanofil.

Thèse soutenue publiquement le **11 décembre 2012**
devant le jury composé de :

Dr, Gérard, GHIBAUDO

Directeur de recherche, IMEP/LAHC, Grenoble, Président

Pr, Jean-Luc, AUTRAN

Professeur, IM2NP, Marseille, Rapporteur

Dr, Emmanuel, DUBOIS

Directeur de recherche, IEMN, Villeneuve d'Ascq, Rapporteur

Dr, Guilhem, LARRIEU

Chargé de recherche, LAAS, Toulouse, Examineur

Dr, Jean-Louis, LECLERCQ

Chargé de recherche, Ecole centrale de Lyon, Examineur

Dr, Thierry, BARON

Directeur de recherche, LTM, Grenoble, Directeur de thèse

Dr, Bassem, SALEM

Chargé de recherche, LTM, Grenoble, Encadrant de thèse

Dr, Nicolas, PAUC

Ingénieur CEA, INAC/SiNaPS, Grenoble, Co-encadrant de thèse



À mes parents et grands-parents,

« Anything that can go wrong, will go wrong »

Edward A. Murphy Jr.

Remerciements

Voici la fin de trois années mémorables passées au sein du LTM et de SiNaPS. Que de monde rencontré en trois ans. Si vous lisez ces quelques lignes vous en faites certainement partie. D'avance je m'excuse auprès de celles et ceux que j'aurais pu oublier dans ce petit billet.

Il est avant tout quatre personnes que je souhaiterais remercier pour m'avoir accompagné durant ce travail. Grâce à eux ma thèse se sera déroulée dans des conditions que l'on peut qualifier d'optimales.

Thierry BARON : Quelle était la probabilité d'avoir un directeur de thèse issu de ma Savoie natale et qui plus est originaire d'un village voisin ? Tu as été un incroyable directeur de thèse, toujours présent et accessible. J'ai grandement apprécié ta franchise, ton honnêteté et ta rigueur scientifique. Tu as très souvent mis la main à la pâte pour la préparation de mes échantillons parfois à des horaires plus que matinaux et pour cela je te remercie infiniment. Tu as su te rendre disponible malgré ton emploi du temps plus que chargé et cela a été un véritable plaisir de pouvoir travailler ensemble. Bonne continuation pour les futures thématiques de recherche et encore merci.

Nicolas PAUC : Un encadrant de thèse exceptionnel. Il est rare de pouvoir travailler avec des gens ayant une rigueur et un niveau scientifique comme les tiens. Tu m'as toujours soutenu dans mes initiatives et poussé à obtenir le meilleur de moi-même. Je te remercie d'avoir toujours cru en moi notamment de m'avoir soutenu malgré les débuts difficiles du fait de la complexité de la thématique. Merci pour tout et bonne continuation en espérant pouvoir collaborer avec toi dans le futur, on ne sait jamais...

Bassem SALEM : C'est officiel ton premier thésard a fini, je laisse donc la place aux suivant(e)s. J'aurais passé trois excellentes années sous ta supervision. Tu as été un encadrant hors-pair. J'ai pris énormément de plaisir à travailler avec toi. Tu as toujours tout fait pour que je puisse avoir accès au matériel nécessaire au bon déroulement de ce projet et cela a porté ses fruits. Je ne compte plus temps que nous avons passé à la PTA pour développer notre procédé d'intégration de nanofils. J'ai hâte de pouvoir reprendre une de nos discussions autour d'une shisha à St Bruno à refaire le monde mais également à discuter de nos recherches. J'ai vraiment apprécié le fait que tu m'as toujours poussé vers l'avant notamment en ce qui concerne la publication d'articles...(au passage bon courage à Virginie, la pression va être forte :)). Malgré le temps nécessaire à l'obtention des premiers résultats sur le 3D tu n'as jamais désespéré et tu m'as toujours fait confiance et soutenu dans mes propositions d'amélioration des procédés de fabrication. Merci pour tout en espérant pouvoir retravailler ensemble dans le futur.

Pascal GENTILE : Tu as investi beaucoup de temps dans le perfectionnement des recettes de croissance de nanofils verticaux malgré les nombreux autres projets auxquels tu étais lié. Grâce à toi j'ai pu disposer d'une base solide pour élaborer mes transistors. Je tiens véritablement à te remercier pour avoir investi autant d'énergie dans ce projet complexe et d'avoir permis d'en faire une belle réussite.

Je remercie également vivement tous les membres du jury Gérard GHIBAUDO, Jean-Luc AUTRAN, Emmanuel DUBOIS, Guilhem LARRIEU et Jean-Louis LECLERCQ qui ont accepté de prendre part à l'évaluation

de ce travail de thèse. Merci à eux pour leurs commentaires constructifs et pour le temps passé à la lecture du manuscrit.

Il y a également ces thésard(e)s sans qui ce travail n'aurait jamais pu aboutir. Je pense en particulier à Alexis POTIE, Priyanka PERIWAL, Ludovic DUPRE, Fabrice OEHLER, Florian DALLUHN. Florian et Fabrice ont dépoussiéré la difficile problématique de la croissance des nanofils. Alexis, Ludovic et Priyanka ont été mes fournisseurs officiels de nanofils et sans eux je n'aurais jamais pu mener à bien ce projet. Merci à vous pour avoir réalisé tout le travail amont indispensable à l'aboutissement de cette thèse. Je vous souhaite bien évidemment, pour ceux qui ont encore un peu de chemin à faire avant la soutenance, de vous épanouir durant la fin de votre thèse.

Je n'oublie pas non plus le personnel de la PTA sans qui je n'aurais jamais pu réaliser ce travail. Je pense particulièrement à : Jean-Luc THOMASSIN, Thibault HACCART, Helge HAAS, Marlène TERRIER, Marie PANNABIERE, Christophe LEMONIAS, Delphine CONSTANTIN, Perrine CAGNEAUX, (JB je ne t'oublies pas mais tu auras droit à quelques lignes un peu plus loin)... A vous tous un grand merci!!!

Un grand merci également à Malou, Sylvaine CETRA, Stéphanie BERGER et Leila CHAPPE pour avoir géré tous les aspects administratifs, commandes et autres procédures dont la lourde mécanique m'échappe encore. Vous facilitez la vie des thésards et de tous les autres membres du LTM avec une remarquable efficacité. Encore merci.

Je tenais également à remercier Jean-Baptiste JAGER. Je ne remercierai jamais assez d'avoir toujours tout mis en œuvre pour maintenir cette STS en état de marche, ceux qui connaissent la bête savent que c'est une rude tâche. Cela aura été un grand plaisir de discuter process et de partager le café à SiNaPS. Je te souhaite le meilleur pour la suite de ta carrière au CEA.

Merci aussi à Éric DELAMADELAINE qui trouvent sans cesse des idées originales pour améliorer les équipements de faciliter ainsi la vie des thésards de SiNaPS.

Je souhaite aussi adresser mes remerciements à Sylvain DAVID et Laurence LATU-ROMAIN pour avoir réalisé les coupes FIB et observations TEM sur mes échantillons. Ces manips, très lourdes techniquement, m'auront permis d'avoir accès à des informations menant à une meilleure compréhension de mes dispositifs. Merci beaucoup à vous deux.

Un grand merci à Quentin BALG (Benoît à la Guillaume pour les intimes) pour m'avoir fait découvrir ce superbe logiciel qu'est Blender et m'avoir ainsi permis de m'affranchir de cette horreur de powerpoint... merci également à toi pour ta constante bonne humeur. Bon courage pour la fin de thèse et à très bientôt je l'espère pour pouvoir déguster à nouveau tes bières maison.

Thanks a lot to Amit SOLANKI. Your advices about devices fabrication and characterization were really useful to me. I wish you the best for your career.

Je remercie bien évidemment Olivier JOUBERT et Emmanuel HADJI pour m'avoir accueilli au sein de leurs laboratoires afin de réaliser cette thèse.

Je tiens évidemment à remercier l'ensemble du LTM et de SiNaPS. Tout d'abord les thésard(e)s, Claude RENAUT, Cédric MANNEQUIN, Salomé TALLEGAS, Thérèse GORISSE, Pierre DELCROIX, Amit SOLANKI, Romain HURAND, Olivier DEMICHEL, Maelig OLLIVIER, John POINTET, Laurent AZARNOUCHE, Sébastien AVERTIN, Thomas BERTAUD, Emmanuel GOURVEST, Paul BODART, Romuald BLANC mais également les permanents, post-docs et autres de chaque labo : Martin KOGELSCHATZ, Marc ZELSMANN, Erwine PARGON, Gilles CUNGE, Emmanuel PICARD, Denis BUTTARD et tous ceux que j'ai pu croiser au sein des deux laboratoires pendant ces deux années.

Enfin il est des personnes que je ne saurais oublier. Tout d'abord mes parents, Gilles et Alix. Sans vous bien

évidemment rien de tout cela n'aurait été possible. Vous m'avez soutenu tout le long de mes études tant dans les bons que les mauvais moments. Je vous serai toujours reconnaissant.

Mes deux grands decapadiots de frangins, Yannick et Jean-Baptiste. Merci à vous deux de m'avoir également soutenu et supporté. Merci aussi de m'avoir changé les idées grâce à nos sorties grimpe, ski et rando.

Enfin un grand merci à Brunilde qui m'aura apporté son soutien pendant les deux dernières années de thèse. Merci à toi pour ta patience et je sais que cela n'aura pas toujours été facile. Merci également de m'avoir supporté et aidé lorsque le stress était au maximum pendant les confs ou même la veille de la soutenance.

Introduction générale

La miniaturisation des transistors a permis depuis plus de cinquante ans d'augmenter considérablement les performances des circuits intégrés en intégrant de plus en plus de transistors au sein d'une même puce. Mais à l'heure actuelle, au-delà des performances, le grand public a des demandes très spécifiques qui se sont révélées avec le marché des smartphones. Ainsi les clients veulent pouvoir disposer d'un appareil portable permettant de téléphoner, enregistrer de la vidéo, prendre des photos ou même transmettre des données via des réseaux sans fils. Atteindre un tel niveau de fonctionnalités avec un seul appareil n'a été rendu possible qu'avec l'avènement des Systèmes-sur-Puces (SoC). Ces SoC sont en fait des micropuces rassemblant une très grande variété de composants tel que du numérique, de l'analogique, de la RF et même des capteurs. Pour réaliser ces puces chaque sous partie est réalisée indépendamment puis le tout est assemblé par collage et interconnecté. Cela pour la simple raison qu'il est à l'heure actuelle impossible de réaliser directement les étapes technologiques sur la même puce. En effet, la fabrication des circuits commence par le front-end, la région qui contient les transistors de haute performance. Ces transistors sont réalisés sur un substrat cristallin de silicium afin d'avoir des propriétés électroniques maximales. Ensuite vient le niveau du back-end qui consiste en un empilement de lignes métalliques destinées à interconnecter tous ces transistors. Les étapes back-end ne doivent en aucun cas nuire au fonctionnement des transistors du front-end et pour cela une limite thermique appelée "budget thermique" a été fixée à 450°C, température au delà de laquelle les métaux utilisés pour les contacts des transistors risquent de diffuser et ainsi de modifier leur comportement. L'obtention d'un cristal de silicium n'étant pas possible en dessous de 450°C, l'empilement de composant nécessite donc de fabriquer plusieurs puces à part et ensuite à les assembler.

Nous proposons dans cette thèse d'utiliser une approche dite de croissance Vapeur-Liquide-Solide (VLS) permettant de synthétiser un monocristal à partir d'un catalyseur métallique et à basse température ($<450^{\circ}\text{C}$). Cette croissance permet de fabriquer des structures tridimensionnelles appelées nanofils dont le diamètre est inférieur à 100 nm et la longueur pouvant atteindre plusieurs centaines de micromètres. L'idée ici est de démontrer qu'il est possible d'utiliser ces nanofils comme canaux de conduction dans des transistors à effet de champ tout en respectant le budget thermique imposé dans le back-end. Cela permettrait donc à terme de pouvoir directement réaliser des composants actifs dans les étapes back-end sans avoir à procéder à des étapes de collage de puces.

Abstract

For the last fifty years the integrated circuits (ICs) performances have been increased thanks to the transistors' size miniaturization leading to a higher density of these components on every single chip. Nowadays the customers have specific queries beyond the performances which have been revealed with the smartphones market. They want a phone allowing communications, recording videos, having a camera and even able to transmit datas through wireless networks. Reaching such a level of fonctionnalités in a single device has only been possible with the developpment of the Systems-on-Chip (SoC). These SoC are microchip wich concentrate a wide variety of components such as digital, analogical, RF and even sensors. In order to fabricate these chips every under parts are built independantly and then assembled by bonding and interconnected. The reason of such a complicated way of fabrication is hat it is impossible to directly achieve all the technological steps on the same chip. Indeed, ICs fabrication starts with the front-end part which contains the high performance transistors. These transistors are elaborated ona cristalline silicon substrate in order to have optimum electrical properties. Then comes the back-end level which is made of a stack of multiple metallic line dedicated to the transistors interconnections. The back-end steps have to preserve the electrical properties of front-end transistors and for this a thermal limite defined as "thermal budget" has been set to 450°C. Above this temperature the metals used to realize the transistors contacts may diffuse and modify their behaviour. The synthesis of a silicon cristal being impossible below 450°C the components stacking requires to build multiple dyes and to assemble them together in a final step.

We propose in this thesis to use an approach called the Vapor-Liquid-Solid (VLS) mechanism allowing to synthesize a monocristal using a metal catalyst at low temperature ($<450^{\circ}\text{C}$). This process allows to grow tridimensionnal nanostructures called nanowires whose diameter is below 100 nm and length can reach few hundred of micrometers. The idea is to demonstrate the possibility to use these nanowires as conduction channel in field-effect transistors while respecting the back-end thermal budget. This could lead to a direct fabrication of active components in the back-end steps without any bonding requirement.

Table des matières

1	Du MOSFET aux nanofils	11
1.1	Introduction	11
1.2	Le transistor à effet de champ	11
1.2.1	Historique	11
1.2.2	Structure d'un transistor à effet de champ	12
1.2.2.1	Capacité MOS idéale	12
1.2.2.2	Capacité MOS réelle	13
1.2.2.3	Le MOSFET	14
1.3	Architecture d'un circuit intégré	18
1.3.1	Le Front End : zone active	19
1.3.2	Le Back End : zone froide	19
1.4	Accroissement des performances des IC's.	20
1.4.1	Approche "More Moore"	21
1.4.2	Approche "More-Than-Moore"	22
1.4.2.1	Collage	23
1.4.2.2	L'élaboration directe	24
1.5	Un transistor dans le back end : le SBFET (Schottky barrier field-effect transistor)	25
1.5.1	La barrière Schottky : électrostatique	25
1.5.2	Mécanismes de transport dans un contact Métal/Semi-conducteur	27
1.5.2.1	Émission thermo-ionique	28
1.5.2.2	Théorie de la diffusion	29
1.5.2.3	Théorie de l'émission thermoionique-diffusion	29
1.5.2.4	Émission par effet de champ et émission thermo-ionique assistée par champ	30
1.5.3	Intérêt du SBFET	31
1.6	Les nanofils semi-conducteurs	32
1.6.1	Définition	32
1.6.2	Élaboration	32
1.6.2.1	Approche descendante	33
1.6.2.2	Approche ascendante	34

1.6.2.3	L'épitaxie par jets moléculaires	35
1.6.2.4	Le dépôt chimique en phase vapeur	36
1.6.3	Dispositifs à nanofils	37
1.6.3.1	Transistors planaires	37
1.6.3.2	Transistors verticaux	38
1.6.3.3	Siliciuration des contacts	41
1.6.3.4	État de l'art de la siliciuration des nanofils de silicium	42
1.6.4	L'alliage Si_xGe_{1-x}	44
1.6.4.1	Propriétés et intérêt	44
1.6.4.2	État de l'art	45
1.7	Objectifs de la thèse	47
1.7.1	Objectifs principaux	48
1.7.1.1	Évaluation des performances des nanofils	48
1.7.1.2	Choix du métal de contact	49
1.7.1.3	Choix du diélectrique de grille	49
1.7.1.4	Intégration 3D	49
1.8	Conclusion	50
2	Propriétés électriques des nanofils Si	51
2.1	Introduction	51
2.2	Élaboration des nanofils	52
2.2.1	Le réacteur	52
2.2.2	Substrats et catalyseur	52
2.2.2.1	Catalyseur colloïdal	53
2.2.2.2	Catalyseur couche mince	53
2.2.3	Croissance	53
2.2.3.1	Nanofils Si :	53
2.2.3.2	Nanofils SiGe :	54
2.2.3.3	Remarques	54
2.3	Réalisation de transistors à nanofils	54
2.3.1	Dispositifs planaires à grille arrière	54
2.3.1.1	Dispersion des fils :	54
2.3.1.2	Réalisation des contacts Source/Drain :	55
2.3.2	Dispositifs planaires à double grille	56
2.3.2.1	Grille avant non enrobante	56
2.3.2.2	Grille avant enrobante	56
2.4	Extraction des paramètres	57
2.4.1	Rapport des courants	57

2.4.1.1	Méthode simple	58
2.4.1.2	Méthode classique	58
2.4.1.3	Méthode de Chau [1]	58
2.4.2	Normalisation des courants	59
2.4.3	Capacité de grille	59
2.4.3.1	Modèle de la capacité cylindrique	59
2.4.3.2	Modèle “cylindre-sur-plan”	60
2.4.4	Tension Seuil	60
2.4.5	Pente sous le seuil	61
2.4.6	Mobilité des porteurs	62
2.4.6.1	Abaques	62
2.4.6.2	Estimation des mobilités dans les nanofils	63
2.4.7	Conclusion	63
2.5	Transistors planaires à grille arrière à nanofils Si	63
2.5.1	Introduction	63
2.5.2	Nanofils Silicium bruts de croissance	63
2.5.2.1	Résistances d’accès et dopage résiduel	64
2.5.2.2	Cinétique de la siliciuration	67
2.5.2.3	Impact de la siliciuration sur les performances électriques des transistors à nanofil Si	70
2.5.2.4	Hauteur de barrière des contacts	72
2.5.2.5	Grandeurs caractéristiques des transistors à nanofils Si	76
2.5.2.6	Comportement hystérétique des nanofils Si	78
2.5.3	Nanofils de Si oxydés	83
2.5.3.1	Introduction	83
2.5.3.2	Comportement sous champ	83
2.5.3.3	Inversion de dopage	85
2.5.3.4	Influence de l’atmosphère du recuit.	89
2.6	Transistors planaires à double grille à nanofil Si	91
2.7	Conclusion	93
3	Propriétés électriques des nanofils $Si_{0,7}Ge_{0,3}$	95
3.1	Introduction	95
3.2	Transistors planaires à grille arrière à nanofil SiGe	95
3.2.1	Nanofils $Si_{0,7}Ge_{0,3}$ bruts de croissance	95
3.2.1.1	Dopage résiduel	95
3.2.1.2	Siliciuration - cinétique	97
3.2.1.3	Siliciuration - impact sur les performances électriques	100

3.2.2	Nanofils $Si_{0.7}Ge_{0.3}$ oxydés	103
3.2.2.1	Caractérisation électrique	103
3.2.2.2	Siliciuration - cinétique	104
3.2.2.3	Siliciuration - impact sur les performances électriques	105
3.3	SiGe - Transistors planaires à double grille	106
3.4	Mode de fonctionnement des transistors à nanofils	112
3.5	Conclusion	113
3.6	Conclusion générale sur l'intégration planaire	113
4	Procédé de fabrication et caractérisation électrique de transistors verticaux	115
4.1	Introduction	115
4.2	Procédé de fabrication	116
4.2.1	Design des masques	116
4.2.2	Localisation du catalyseur	117
4.2.2.1	Lithographie optique :	117
4.2.2.2	Lithographie électronique	118
4.2.3	Croissance	119
4.2.4	Retrait du catalyseur	119
4.2.5	Oxyde de grille	119
4.2.5.1	L'oxydation thermique.	119
4.2.5.2	Oxydes déposés	120
4.2.6	Dépôt du métal de grille	120
4.2.7	Définition du pad et contrôle de la hauteur de grille	121
4.2.8	Isolation Grille-Drain	122
4.2.9	Reprise de contacts	127
4.2.9.1	Drain	127
4.2.9.2	Grille	127
4.3	Caractérisation électrique des transistors à nanofils verticaux	127
4.3.1	Introduction	127
4.3.2	Nanofils Si	127
4.3.2.1	Effets de la localisation du catalyseur	127
4.3.2.2	Localisation contrôlée et propriétés électriques	129
4.3.3	Bilan - transistors Si	133
4.3.4	Nanofils $Si_{0.7}Ge_{0.3}$	133
4.3.5	Durée de vie des dispositifs	137
4.3.6	Reproductibilité des procédés	137
4.3.7	Bilan - transistors SiGe	138
4.4	Conclusion de l'intégration verticale	138

5 Conclusion Générale	140
6 Perspectives d'intégration back-end	143
6.1 Introduction	143
6.2 Croissance des nanofils	143
6.3 Isolation des contacts de grille et de drain	144
6.3.1 Dépôt du diélectrique	144
6.3.2 Polissage mécano-chimique	145
6.3.2.1 Présentation de l'équipement	145
6.3.2.2 Calibration des vitesses de gravure	145
6.3.2.3 Polissage de nanofils	146
6.3.2.4 Reprise de contact après CMP	148
6.4 Bilan de la planarisation	150
6.5 Vers la compatibilité back-end	150
6.5.1 Croissance de nanofils sur TiN	151
6.5.1.1 Or démouillé	151
6.5.1.2 Croissance localisée	152
6.5.2 Caractéristiques électriques de fils SiGe crus sur TiN	152
6.6 Bilan de la compatibilité back-end	154
6.7 Compatibilité du catalyseur	154
6.7.1 Introduction	154
6.7.2 Les alternatives à l'or	155
6.7.2.1 Platine, palladium, cobalt et nickel	155
6.7.2.2 Le cuivre	155
6.7.3 Influence de l'or sur le comportement électronique des nanofils	155
6.8 Conclusion	156
6.9 Perspectives générales	157
6.9.1 Intégration sur substrat métallique	157
6.9.2 Vers les transistors à effet tunnel	158
6.10 Conclusion	158

Du MOSFET aux nanofils

Nous allons dans ce chapitre introduire les notions de base nécessaires à la compréhension du manuscrit. Dans un premier temps nous situerons le contexte de l'étude au sein du domaine de la microélectronique. Pour cela nous rappellerons le principe de fonctionnement d'un transistor à effet de champ et détaillerons la structure des circuits intégrés actuels. Nous parlerons ensuite de l'intérêt des nanofils semi-conducteurs dans la microélectronique et expliquerons les différentes méthodes d'élaboration de ces objets. Nous présenterons en détails les objectifs de ce projet en terme d'intégration de nanostructures.

1.2 Le transistor à effet de champ

1.2.1 Historique

Le transistor à effet de champ est l'élément de base des circuits intégrés et microprocesseurs actuels. Son principe de fonctionnement a été proposé dès les années 30 par J. E. Lilienfeld et O. Heil [2, 3].

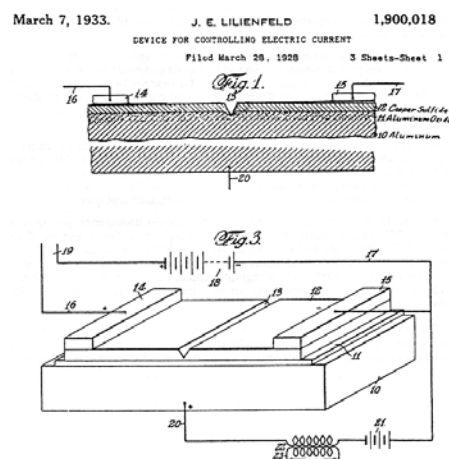


FIGURE 1.1 – Images extraites du brevet déposé par Lilienfeld en 1933 concernant la réalisation d’un “dispositif pour le contrôle d’un courant électrique”.

Courant 1947 J. Bardeen, W. Brattain et R. Schokley ont démontré pour la première fois la possibilité de réaliser un transistor bipolaire à partir d'un substrat de germanium fig 1.2 a) ce qui leur valu le prix Nobel de physique en 1956 pour leurs travaux sur les semi-conducteurs et la découverte de l'effet transistor. Ceci marqua le début de l'ère de la microélectronique. Quelques années après, en 1959, le premier transistor planaire était réalisé par R. Noyce . En 1958 l'entreprise Texas Instrument réalise le premier circuit intégré sur germanium comportant alors deux transistors fig 1.2 b) . En 1960 J. R. Ligenza et W. G. Spitzer [4] réalisèrent le premier dispositif présentant de bonnes performances et utilisant le système Si/SiO₂ au lieu du germanium. Un an plus tard était réalisé le premier circuit intégré planaire sur silicium au sein de la compagnie Fairschild Semiconductors fig 1.2 c). Afin de mieux comprendre le fonctionnement de ces composants nous allons nous intéresser maintenant à la physique de ces dispositifs. Nous ne nous intéresserons cependant qu'au transistor à effet de champ afin de se limiter aux structures ayant un intérêt pour cette étude.

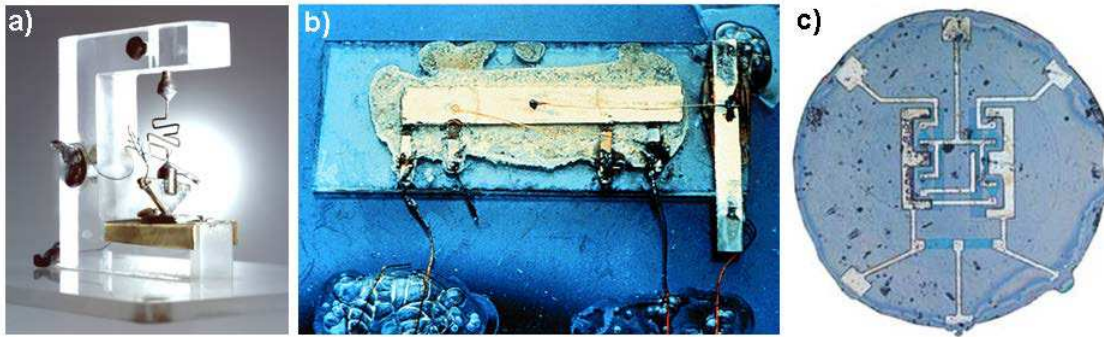


FIGURE 1.2 – a) Premier transistor réalisé au laboratoire Bell b) Premier circuit intégré sur substrat germanium réalisé par Texas Instruments c) Premier circuit intégré planaire sur silicium réalisé par Fairschild semiconductors.

1.2.2 Structure d'un transistor à effet de champ

1.2.2.1 Capacité MOS idéale

Avant de décrire le transistor nous allons nous pencher sur un de ses constituants de base qu'est la capacité MOS (Metal-Oxide-Semiconductor). Comme son nom l'indique, une capacité MOS est un empilement de trois couches à savoir, un semi-conducteur, un oxyde et un métal. Le semi-conducteur peut être dopé p ou n. L'électrode métallique est polarisée à une tension V_G pendant que le substrat est maintenu à la masse. Différents régimes apparaissent alors en fonction de V_G qui sont représentés sur la figure 1.3. Les trois modes sont l'accumulation quand $V_G > 0$ V pour un substrat n et $V_G < 0$ V pour un substrat p, la désertion quand $V_G < 0$ V pour un substrat n et $V_G > 0$ V pour un substrat p et enfin l'inversion quand $V_G \ll 0$ V pour un substrat n et $V_G \gg 0$ V pour un substrat p. Il existe une tension $V_G = V_{FB}$ pour laquelle le diagramme de bandes ne présente aucune courbure, ici cette tension est considérée comme nulle car les niveaux de Fermi dans le métal et le semi-conducteur sont alignés . On appelle V_{FB} la tension de bandes plates. En pratique cette configuration est rare et on a $V_{FB} = \Phi_m - \Phi_s$ avec $\Phi_m \neq \Phi_s$, Φ_m étant le travail de sortie du métal et Φ_s celui du semi-conducteur.

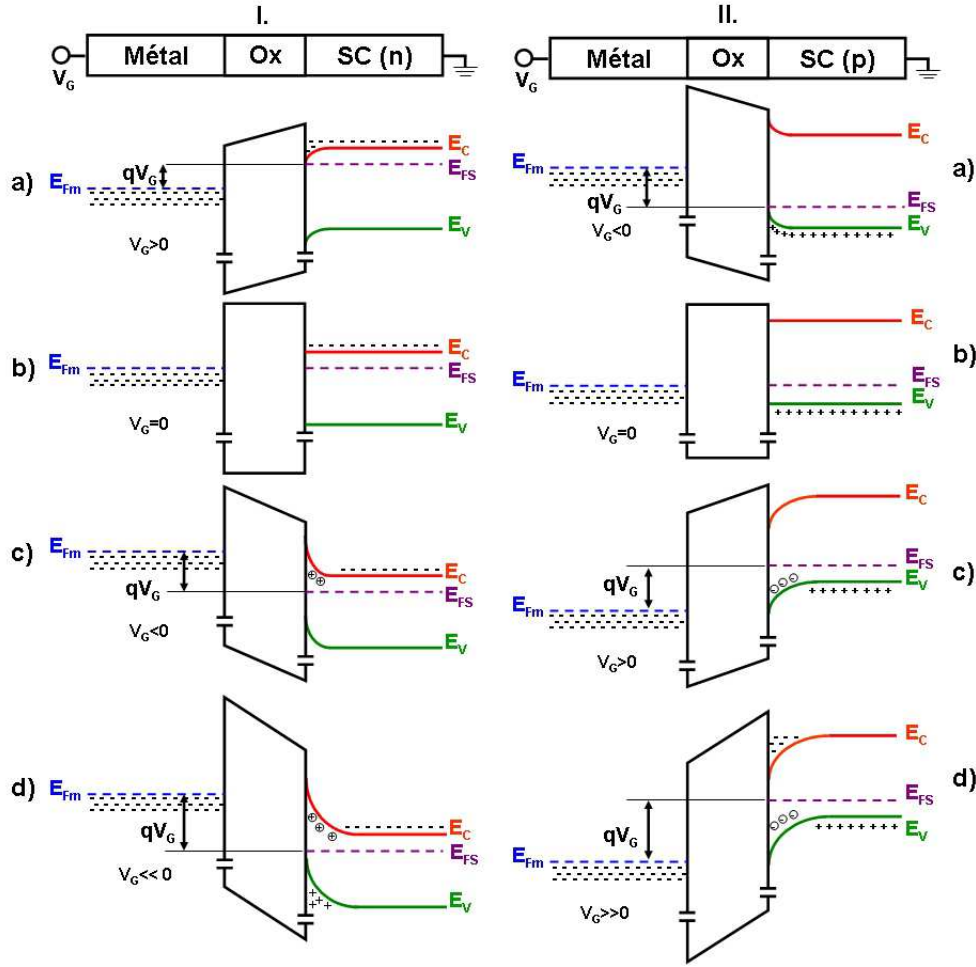


FIGURE 1.3 – Diagrammes de bandes de capacités MOS I.) type n et II.) type p . a) régime d'accumulation b) régime de bandes plates c) régime de désertion c) régime d'inversion.

1.2.2.2 Capacité MOS réelle

Nous venons de voir le principe de fonctionnement d'une capacité MOS idéale. En réalité, lorsqu'un oxyde est formé à la surface du silicium par oxydation thermique, l'interruption de la périodicité du réseau à la surface du cristal, la présence d'espèces extrinsèques au silicium mais également la présence d'états de liaison non présents dans le massif induisent des états pièges à l'interface Si/SiO₂ dans le gap même du silicium. La charge de ces pièges a été démontrée par Schokley et Pearson [5]. Il a été mesuré que la densité de ces pièges peut être très élevée [6], de l'ordre de la densité d'atomes de surface ($\approx 10^{15} \text{ atomes.cm}^{-2}$) et qu'il est possible de les neutraliser à l'aide de recuits sous hydrogène à basse température ($\sim 450 \text{ }^\circ\text{C}$) jusqu'à atteindre une densité d'environ 10^{10} cm^{-2} ce qui correspond à un piège pour 10^5 atomes de surface. Ces états, formant un continuum dans la bande interdite du semi-conducteur, peuvent échanger rapidement une charge avec le semi-conducteur sous-jacent et sont par nature amphotère, c'est-à-dire qu'ils peuvent aussi bien accepter qu'émettre un électron. Ils jouent donc un rôle important dans l'état d'équilibre du semi-conducteur pour un dopage donné et une polarisation de grille donnée en raison de la courbure de bandes induite par le transfert de charges en surface. A l'interface, seuls les états inclus entre le quasi niveau de Fermi et le niveau de Fermi du matériau intrinsèque seront peuplés par les porteurs majoritaires du semi-conducteur. Nous allons voir

dans la suite de ce manuscrit comment ces états pièges influencent le comportement des capacités MOS. Il sera en effet important de prendre en compte ces effets lors de la caractérisation de transistors.

Comme les états d'interface sont distribués tout le long du gap, leur distribution s'exprime comme :

$$D_{it} = \frac{1}{q} \frac{dQ_{it}}{dE} \quad (1.1)$$

, où D_{it} représente la densité d'état d'interface par unité de surface et d'énergie de bande interdite, q la charge élémentaire de l'électron et Q_{it} la charge piégée à l'interface, en coulomb par unité de surface. Durant cette étude, toutes les caractéristiques électriques seront réalisées en statique aussi la capacité MOS peut être résumée par le circuit équivalent 1.4. C_{ox} représente la capacité de l'oxyde, C_D la capacité de déplétion et C_{it} la capacité liée aux états d'interface.

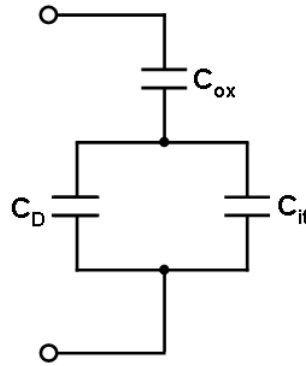


FIGURE 1.4 – Circuit équivalent d'une capacité MOS à basse fréquence en tenant compte des pièges à l'interface Si/SiO₂

Nous verrons par la suite comment ces états d'interface impactent sur le comportement électrique des transistors, mais avant tout nous allons détailler la structure d'un transistor à effet de champ et expliquer son mode de fonctionnement.

1.2.2.3 Le MOSFET

Le MOSFET ou transistor à effet de champ (Metal-Oxide-Semiconductor Field-Effect Transistor) est constitué de trois électrodes. La première est la grille destinée à contrôler le potentiel à l'interface métal semi-conducteur et donc le type et la densité de porteurs du semi-conducteur et donc du canal. On retrouve ainsi la structure présentée précédemment de la capacité MOS. A cela s'ajoutent deux contacts nommés source et drain placés de part et d'autre de la capacité destinés à jouer le rôle de réservoirs de charges et ainsi à permettre le passage d'un courant. Selon le type de porteurs utilisés dans le canal nous avons soit un NMOS (canal d'électrons) soit un PMOS (canal de trous). De plus ces transistors peuvent être dans l'état ouvert ou fermé pour une polarisation de grille nulle selon qu'ils fonctionnent respectivement en appauvrissement ou enrichissement comme présenté en figure 1.5.

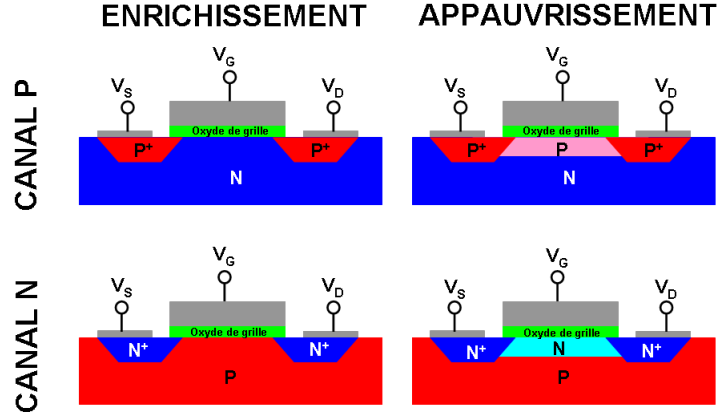


FIGURE 1.5 – Représentation schématique des différentes familles de transistors à effet de champ.

Le MOSFET peut donc se résumer à un interrupteur électrostatique, la grille ayant le rôle de commutateur. Afin de mieux comprendre le comportement de ce dispositif intéressons nous à sa caractéristique courant-tension.

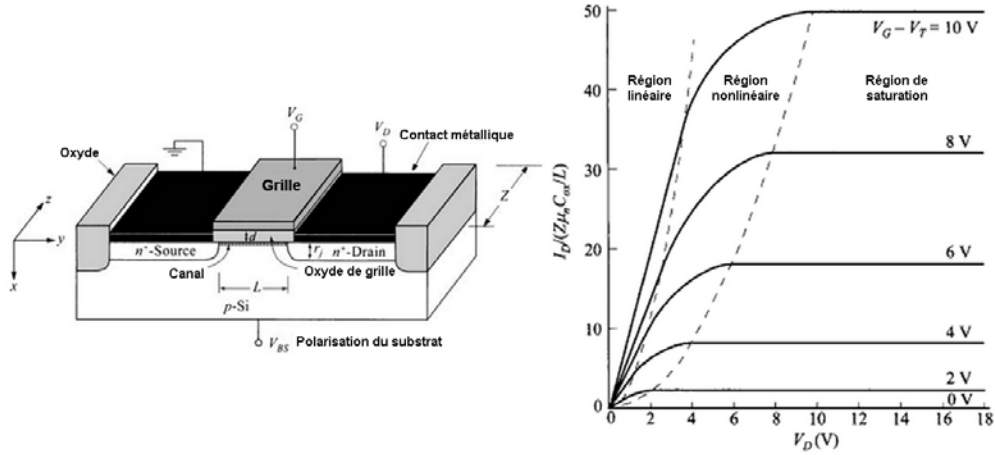


FIGURE 1.6 – Schéma d'un N-MOS à enrichissement et sa caractéristique $I_{DS} - V_{DS}$ pour différentes tensions de grille d'après [7].

La caractéristique $I_{DS} - V_{DS}$ d'un MOSFET présente, quelle que soit la tension de grille, trois régions distinctes. Une région linéaire, une non-linéaire et enfin une région de saturation. Nous allons décrire brièvement chacune d'entre elles.

Région linéaire Pour les petites tensions V_{DS} le courant de drain s'exprime comme :

$$I_{DS} = \frac{Z}{L} \mu_n C_{ox} \left(V_G - V_T - \frac{V_D}{2} \right) V_D \quad (1.2)$$

Avec V_T la tension seuil, un des plus importants paramètres, donnée par :

$$V_T = V_{FB} + 2\Psi_B + \frac{\sqrt{2\varepsilon_s q N_A 2\Psi_B}}{C_{ox}} \quad (1.3)$$

Avec, Z la largeur du canal du transistor, L sa longueur, μ_n la mobilité des électrons, C_{ox} est la capacité de l'oxyde de grille, V_G la tension de grille, V_D la tension de drain, Ψ_B l'écart entre le niveau de Fermi intrinsèque et le niveau de Fermi soit $|E_F - E_i|/q$, ε_s est la permittivité relative du semi-conducteur, N_A est la densité de trous libres.

Nous discuterons plus en détails de la tension seuil par la suite. Lorsque la charge d'inversion devient nulle côté drain on parle alors de pincement du canal. Ce pincement est dû au fait que la différence de potentiel entre la grille et le semi-conducteur diminue fortement pour de fortes polarisations source-drain. Le courant et la tension de drain en ce point de fonctionnement sont désignés par $I_{DS_{SAT}}$ et $V_{DS_{SAT}}$ respectivement.

Région de saturation Au delà du pincement du canal, le courant est indépendant de V_D et on obtient ainsi une saturation. Le courant de saturation s'exprime alors comme :

$$I_{DS_{SAT}} = \frac{Z}{2 \left(1 + \frac{\sqrt{\varepsilon_s q N_A}}{2\sqrt{\Psi_B C_{ox}}} \right) L} \mu_n C_{ox} (V_G - V_T)^2 \quad (1.4)$$

Enfin la dernière région de fonctionnement qui est la zone intermédiaire entre le comportement linéaire et de saturation, la région non-linéaire peut être décrite comme suit.

Région non-linéaire Elle se situe entre les deux cas extrêmes et peut être décrite par :

$$I_{DS} = \frac{Z}{L} \mu_n C_{ox} \left(V_G - V_T - \frac{V_D}{2} \left(1 + \frac{\sqrt{\varepsilon_s q N_A}}{2\sqrt{\Psi_B C_{ox}}} \right) \right) V_D \quad (1.5)$$

Cet ensemble d'équations permet de décrire le comportement des MOSFETs d'une manière approximée mais relativement juste. Comme nous l'avons précisé précédemment, la tension seuil du transistor est un paramètre très important. Nous allons donc aborder ce point afin d'éclaircir la relation qui existe entre le courant de drain et la tension de grille.

Tension seuil Nous avons introduit la notion de tension seuil avec l'équation 1.2.2.3. Nous avons supposé que le travail de sortie du métal et le niveau de Fermi du semi-conducteur étaient alignés par commodité entraînant ainsi un alignement des bandes pour une tension de grille nulle. En pratique ceci n'est que très rarement le cas en raison non seulement de la différence entre ϕ_m et ϕ_s mais également à cause des charges fixes Q_f piégées dans l'oxyde. Aussi l'équation 1.2.2.3 devient :

$$V_T = V_{FB} + 2\Psi_B + \frac{\sqrt{2\varepsilon_s q N_A 2\Psi_B}}{C_{ox}} = \left(\phi_{ms} - \frac{Q_f}{C_{ox}} \right) + 2\Psi_B + \frac{\sqrt{4\varepsilon_s q N_A \Psi_B}}{C_{ox}} \quad (1.6)$$

Qualitativement, V_T est la tension de grille au delà de l'état de bande plate qui commence à introduire une couche de charge d'inversion et est donnée par la somme des tensions à travers le semi-conducteur et l'oxyde de grille. Le terme en racine est la charge totale de la couche de déplétion au point d'inversion. Comme la tension seuil représente la tension au delà de laquelle le canal est considéré comme ouvert il est extrêmement important d'avoir accès à cette valeur.

Cette tension est mesurée en traçant le courant de drain en fonction de la tension de grille en échelle linéaire. Une extrapolation de la région linéaire sur l'axe des abscisses permet de déterminer sa valeur. La figure 1.7 b) montre le courant de drain tracé en échelle logarithmique en fonction de la tension de grille. Dans cette

échelle, une zone linéaire apparaît avant la tension seuil. Elle va également nous permettre d'extraire des données importantes concernant le comportement des transistors.

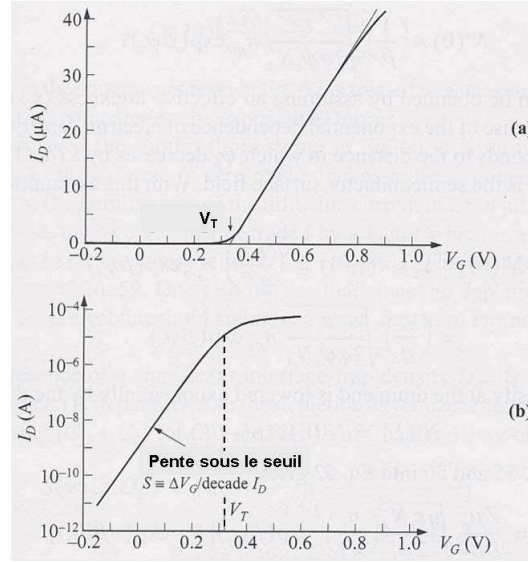


FIGURE 1.7 – Courbes $I_{DS} - V_{GS}$ typiques d'un transistor avec a) la représentation en échelle linéaire du courant I_{DS} permettant le calcul de V_T . b) la représentation en échelle logarithmique du courant I_{DS} mettant en avant la pente sous le seuil. (d'après [7])

Région sous le seuil La région sous le seuil désigne tout simplement le domaine pour lequel la tension de grille est inférieure à V_T . Ainsi la surface du semi-conducteur est en inversion, le courant de drain correspondant est désigné comme courant sous le seuil. Cette région est particulièrement intéressante pour les applications faibles tensions et faible puissance car elle traduit l'abrupté avec laquelle le courant de drain varie en fonction de la tension de grille. Dans cette région de fonctionnement, le courant de drain prend l'expression suivante :

$$I_{DS} = \frac{Z\mu_n}{L} \left(\frac{kT}{q} \right)^2 \sqrt{\frac{q\varepsilon_s N_A}{2\Psi_s}} \left(\frac{n_i}{N_A} \right) \exp \left(\frac{q\Psi_s}{kT} \right) \left[1 - \exp \left(-\frac{qV_{DS}}{kT} \right) \right] \quad (1.7)$$

Cette équation montre que dans la région sous le seuil, lorsque V_{DS} est plus grand qu'environ $3kT/q$ alors le courant est indépendant de V_{DS} . On peut finalement relier I_{DS} à la tension de grille V_G à l'aide de la relation :

$$V_G - V_{FB} = \Psi_s + \frac{\sqrt{2\varepsilon_s \Psi_s q N_A}}{C_{ox}} \quad (1.8)$$

Nous venons de dire que la région sous le seuil nous permettait de qualifier l'abrupté de la variation du courant en fonction de la tension de grille. Le paramètre qui nous permet de quantifier ce phénomène est l'inverse de la pente sous le seuil défini comme la variation de tension de grille nécessaire pour induire un changement du courant de drain d'un ordre de grandeur. D'après l'équation 1.2.2.3 on peut écrire que :

$$\frac{dV_G}{d\Psi_s} = 1 + \frac{1}{C_{ox}} \sqrt{\frac{\varepsilon_s q N_A}{2\Psi_s}} = \frac{C_{ox} + C_D}{C_{ox}} \quad (1.9)$$

Par définition l'inverse de la pente sous le seuil est obtenu comme suit :

$$S \equiv (\ln 10) \frac{dV_G}{d(\ln I_D)} = (\ln 10) \frac{dV_G}{d\left(\frac{q\Psi_s}{kT}\right)} = (\ln 10) \left(\frac{kT}{q}\right) \left(\frac{C_{ox} + C_D}{C_{ox}}\right) \quad (1.10)$$

La limite théorique de cet inverse de la pente sous le seuil est obtenu pour $C_D = 0F$ et vaut donc 60 mV/décade. Comme nous l'avons expliqué précédemment, l'oxydation thermique engendre des pièges à l'interface Si/SiO_2 . Il est possible d'en tenir compte dans l'expression de l'inverse de la pente sous le seuil en modifiant simplement l'expression de la capacité comme suit :

$$S = (\ln 10) \left(\frac{kT}{q}\right) \left(\frac{C_{ox} + C_D + C_{it}}{C_{ox}}\right) \quad (1.11)$$

avec C_{it} la capacité associée aux pièges d'interface. Cette expression permet ainsi à partir d'une simple mesure $I(V)$ statique de remonter à la valeur de D_{it} comme nous le montrerons plus tard.

Depuis les années 60 le design des transistors, les matériaux ainsi que les procédés de fabrication ont considérablement évolué afin d'améliorer leurs performances. Nous verrons également comment l'architecture complète des circuits intégrés a été optimisée afin de permettre aux puces de gagner en rapidité et en volume de calcul. Nous verrons par la suite qu'une variante du MOSFET prometteuse pour les applications basse consommation peut être obtenue par l'utilisation non plus de silicium dopé comme contacts de source et de drain mais d'un alliage métallique.

Nous venons de présenter la brique de base qu'est le transistor ainsi que son principe de fonctionnement. Nous allons désormais nous intéresser à l'architecture globale d'un circuit intégré pour pouvoir situer plus précisément le contexte de notre étude.

1.3 Architecture d'un circuit intégré

Avant de réfléchir aux différents moyens permettant d'augmenter les performances des circuits intégrés nous allons nous concentrer sur leur structure interne. Le but ici est de montrer l'empilement interne.

De manière générale nous distinguerons deux grandes zones dans la structure d'un circuit intégré. Le front-end et le back-end comme représenté sur le schéma 1.8 b) et c).

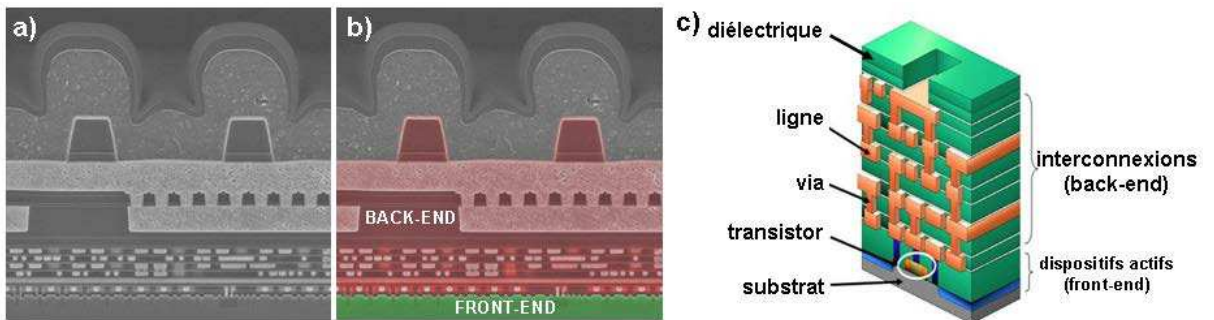


FIGURE 1.8 – a) et b) Images MEB originale et colorisée d'une coupe d'un circuit intégré A5 d'Apple utilisé dans l'iPad2 avec mise en évidence des deux parties majeures. c) Schéma illustrant la structure générale d'un circuit intégré.

1.3.1 Le Front End : zone active

Cette partie front end contient les transistors qui seront utilisés pour réaliser les opérations logiques des processeurs. Il s'agit tout simplement du substrat en silicium sur lequel ont été réalisés les MOSFETs avancés. C'est ici que l'on trouve les transistors les plus rapides et les plus performants. Aucune contrainte thermique n'existe en tant que telle lors de la réalisation de ces transistors. C'est sur cette zone que sont engagés les plus gros moyens pour augmenter les performances des circuits intégrés. Le leader du marché actuel est le fabricant Intel qui est à l'heure actuel le seul à utiliser une architecture multigrille pour les transistors du front-end comme présenté sur la figure 1.9.

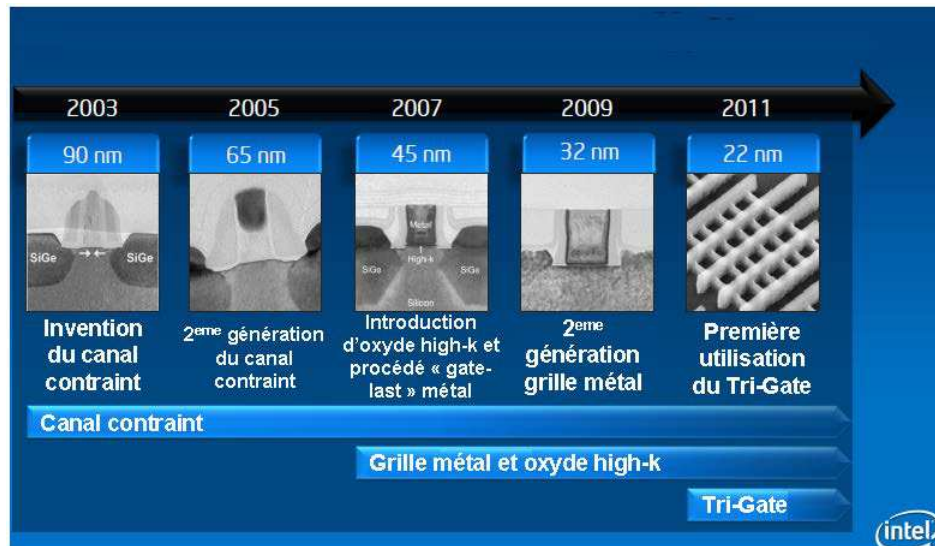


FIGURE 1.9 – Évolution de l'architecture des transistors utilisés dans les microprocesseurs Intel depuis 2003.

Une fois ces transistors réalisés il faut pouvoir les contacter et les mettre en réseau de façon à accomplir des opérations de logique. Pour cela la première étape consiste à les isoler puis à réaliser des trous (Vias) qui sont ensuite remplis de métal. Les étapes d'après constituent la partie back-end

1.3.2 Le Back End : zone froide

La partie back end contient toutes les interconnexions destinées à relier les transistors entre eux. Le back end est en fait un empilement de diélectriques dans lesquels sont noyés des lignes ou des vias métalliques destinés à transporter les signaux électriques. Le back end ne contient donc aucun composant actif, seulement des lignes métalliques. La réalisation de ces étapes est très fortement contrainte. En effet il est impératif de réaliser les interconnexions sans porter de dommages aux transistors du front-end. Pour cela une notion importante est celle de budget thermique. Ceci représente la température maximum à ne pas dépasser sous peine par exemple de propager les siliciures des contacts des transistors et donc de rendre les canaux métalliques. L'ordre de grandeur de ce budget thermique pour les circuits intégrés actuels est d'environ 450 °C. Ainsi toute opération effectuée sur une plaque de silicium contenant une partie front-end ne doit pas dépasser cette température sous peine de détériorer les performances électriques des dispositifs préalablement réalisés.

Maintenant que nous avons introduit les notions importantes concernant la réalisation de circuits intégrés nous allons nous intéresser aux méthodes adoptées depuis environ cinquante ans pour améliorer au maximum leurs performances.

1.4 Accroissement des performances des IC's.

La recherche de performances accrues, c'est-à-dire de processeurs qui calculent plus vite et qui peuvent traiter un plus grand nombre de données en un temps donné est l'objectif principal de la microélectronique. Le second objectif est d'être capable de produire un nombre de puces toujours plus grand pour un cout toujours plus faible. Il est d'usage d'évaluer le prix d'un circuit en le rapportant au nombre de transistors. Ainsi le graphique (1.10) montre l'évolution du cout d'un transistor au cours du temps. On constate que sur une période de quarante ans le prix unitaire du MOSFET a été divisé par un facteur 10^7 .

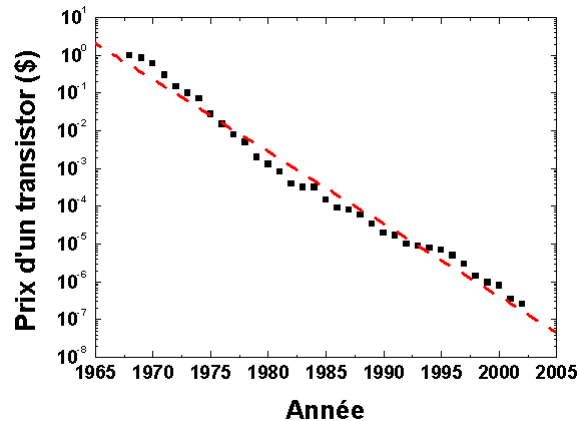


FIGURE 1.10 – Évolution du prix des transistors des années 1960 à 2000.

Cette réduction drastique n'a pu être effectuée qu'à l'aide d'innovations technologiques majeures. D'une part le nombre de transistors sur une puce n'a cessé de croître en cherchant sans cesse à diminuer leur taille, c'est l'approche "more-Moore". De l'autre le nombre de fonctionnalités qu'offrent les circuits intégrés a également explosé en adoptant cette fois-ci l'approche "more-than-Moore". Ces deux approches s'affrontent et se complètent. Elles s'affrontent sur la stratégie utilisée pour améliorer les puces mais se complètent sur les applications que chacune vise. Elles sont communément représentées comme sur la figure 1.11.

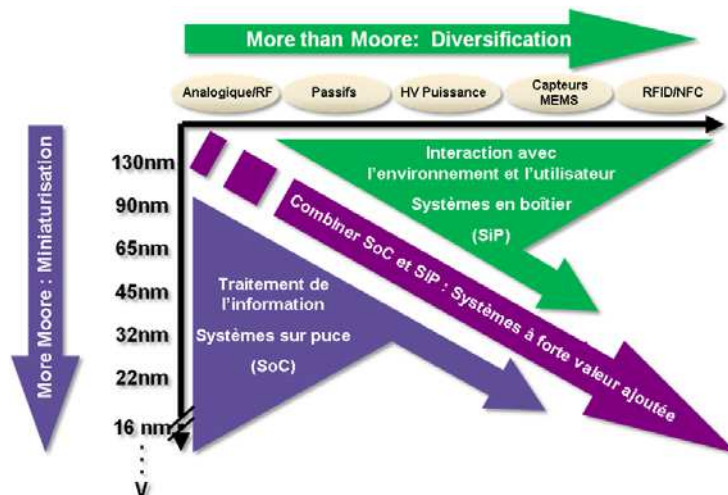


FIGURE 1.11 – Comparatif entre l'approche "more-Moore" et "more-than-Moore".[8]

L'approche "more Moore" est à la poursuite de la miniaturisation des composants tandis que la "more than

Moore” recherche sans cesse l’ajout de nouvelles fonctions

Nous allons maintenant définir chaque approche ainsi que les méthodes qu’elles emploient pour atteindre leurs objectifs. Dans ce contexte nous poserons les limites et guiderons notre réflexion vers de nouvelles alternatives d’amélioration des circuits intégrés.

1.4.1 Approche “More Moore”

En 1965, Gordon Moore, qui était à l’époque ingénieur chez Fairschild semiconductor et qui fonda plus tard Intel, constate que le nombre de transistors sur une puce doublait chaque année à cout constant et prévoyait que cette augmentation continue. En 1975 il réévalua cette conjecture et prédit que le nombre de transistors sur une plaque de silicium doublerait tous les deux ans. De 1971 à 2001 cette loi empirique s’avéra redoutablement exacte car ce nombre doublait effectivement toutes les 1,96 années. Cette conjecture prit rapidement le nom de loi de Moore. On désigne donc dans une approche “More Moore” le fait de vouloir coller au maximum avec cette loi et donc d’augmenter la densité surfacique de transistors disponibles dans le front-end. La meilleure façon de parvenir à cet objectif est tout simplement de diminuer les dimensions des transistors. C’est ce que l’on appelle le “scaling” du transistor. Il s’agit de diminuer les dimensions générales de chaque partie des transistors tout en respectant des lois de mise à l’échelle afin d’éviter certains désagréments technologiques. En effet toute diminution de la taille du transistor ne doit pas être lui être dommageable et préserver les propriétés de transport observées à la génération précédente si l’on souhaite diminuer la taille des dispositifs on souhaite également qu’ils se comportent comme leur canal était long. Un canal trop court par rapport aux longueurs de déplétion de la source et du drain pourrait annuler toute création de canal. Aussi y-a-t-il des lois à respecter quant aux proportions à adopter comme récapitulé dans le tableau (1.1).

TABLE 1.1 – Mise à l’échelle d’un MOSFET.[7]

Paramètre	Champ constant	Tensions constante	Réalité	Limitation
L	$1/\kappa$	$1/\kappa$	$1/\kappa$	
\mathcal{E}	1	>1	>1	
d	$1/\kappa$	$1/\kappa'$	$> 1/\kappa$	Effet tunnel, défauts
r_j	$1/\kappa$	$> 1/\kappa$	$> 1/\kappa$	Résistance
V_T	$1/\kappa$	1	$\gg 1/\kappa$	Courant OFF
V_D	$1/\kappa$	1	$\gg 1/\kappa$	Système global et V_T
N_A	κ	κ	$< \kappa$	Claquage de la jonction

Dans des conditions idéales de champ électrique constant les paramètres sont mis à l’échelle avec le même facteur. En réalité les facteurs de mise à l’échelle sont limités par d’autres raisons et donc faussés. On a $1 < \kappa' < \kappa$

Ces optimisations agressives ne sont possibles qu’à l’aide de très lourds moyens technologiques. A l’heure actuelle le plus petit transistor fabriqué l’est par la société Intel et correspond au nœud 22 nm. Ce dernier a nécessité de développer une nouvelle stratégie quant à la géométrie même des transistors. La grille n’est plus plane mais en forme de π comme présenté sur les figures 1.12 a) et b).

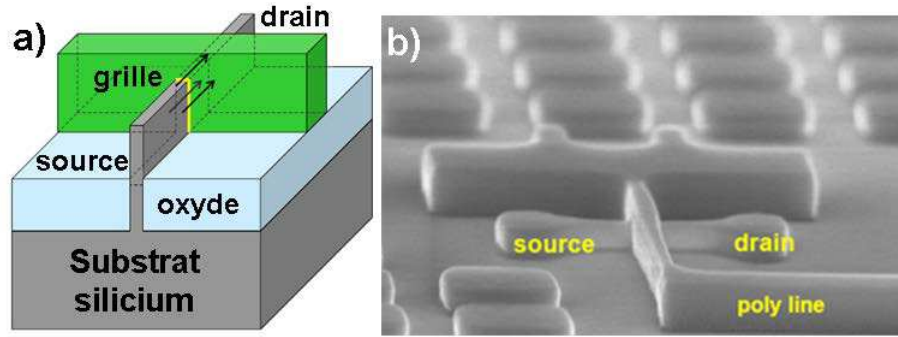


FIGURE 1.12 – a) schéma de principe et b) image MEB d'un transistor à grille en Pi. [9]

De cette manière le contrôle électrostatique du canal est bien meilleur pour une même surface apparente du transistor. Il est également évident de se dire que cette réduction perpétuelle de taille du transistor verra un jour sa limite arriver, la physique ne permettant évidemment pas de descendre en deçà de l'échelle atomique en terme de réalisations technologiques. Afin de palier à cet inévitable obstacle une nouvelle stratégie s'est mise en place. Le "More than Moore"

1.4.2 Approche "More-Than-Moore"

L'idée est la suivante. L'augmentation de la densité surfacique des transistors est très complexe et vise uniquement l'amélioration de la rapidité des microprocesseurs. Aujourd'hui le grand public recherche sans cesse des appareils permettant d'effectuer de nombreuses tâches comme de la télécommunication sans fil, du stockage de masse ou même de la prise de vue. Il faut donc trouver une approche permettant non pas d'augmenter la rapidité des microprocesseurs mais le nombre de fonctionnalités qu'il proposent. Pour cela il faut réussir à réunir dans un espace confiné, afin d'avoir un appareil le plus portable possible, un très grand nombre d'outils technologiques. Deux grandes familles technologiques se sont alors développées afin de viser ces objectifs.

1. Les "System-on-chip" ou systèmes sur puce (SoC). Ce sont des puces qui condensent en leur sein tous les éléments d'un ordinateur complexe. Elles contiennent souvent des fonctions numériques, analogiques, mixtes et radio-fréquence. Leur principal domaine d'application est celui des systèmes embarqués. Il peut cependant s'avérer extrêmement compliqué de condenser sur une seule puce toutes les fonctionnalités nécessaires et l'on utilise alors un autre type d'intégration.
2. Les "System-in-Package" ou systèmes en boîtier (SiP). Ce type d'intégration est différent car il s'agit ici de superposer différentes puces réunissant chacune des fonctionnalités bien précises. Dans ce cas les puces sont interconnectées soit à l'aide de fils soit par des méthodes plus complexes que nous allons expliquer par la suite.

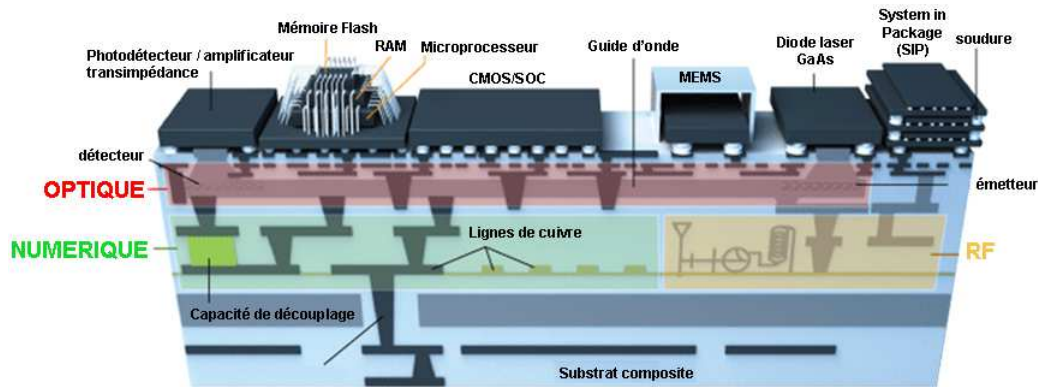


FIGURE 1.13 – Schéma représentant une puce combinant de nombreux composants aux fonctionnalités variées et faisant appel à différentes méthodes de miniaturisation.[10]

Quelle que soit l'approche utilisée ces demandes technologiques requièrent le développement de procédés complexes d'intégration 3D. Il n'est en effet pas si anodin de chercher à empiler un si grand nombre de dispositifs les uns sur les autres. Nous allons présenter dans la suite les méthodes utilisées notamment pour réaliser des SOC qui sont à terme les systèmes les plus prometteurs du fait de leur forte compacité, de leur coût de fabrication et de leur mise en boîtier moins complexe que les SiP.

1.4.2.1 Collage

La technique de collage est la suivante. Deux puces sont réalisées de façon standard puis sont superposées et contactées l'une avec l'autre à l'aide de vias traversant ou TSV (Through Silicon Vias). Cette technologie permet d'avoir des transistors de qualité front-end empilés les uns sur les autres et ainsi donc d'augmenter la quantité de dispositifs disponibles en utilisant la dimension verticale. Un exemple est donné dans la figure 1.14 où un détecteur infrarouge et un circuit intégré de lecture ont été élaborés à part puis collés et contactés à l'aide de TSV en cuivre[11]. Cette technologie permet d'empiler un grand nombre de puces sans limite mais présente quelques inconvénients avec notamment la difficulté de contrôler l'alignement des deux puces juxtaposées. Il faut également tenir compte du fait que ce genre d'approche monopolise plusieurs lignes de fabrications en salle blanche pour au final n'obtenir qu'un seul dispositif, ceci posant alors le problème du rendement. De plus l'empilement de nombreuses puces soulève la problématique complexe de l'évacuation de la chaleur générée lors du fonctionnement. Il est en effet difficile de refroidir de telles puces et cela en limite le nombre pouvant être empilées.

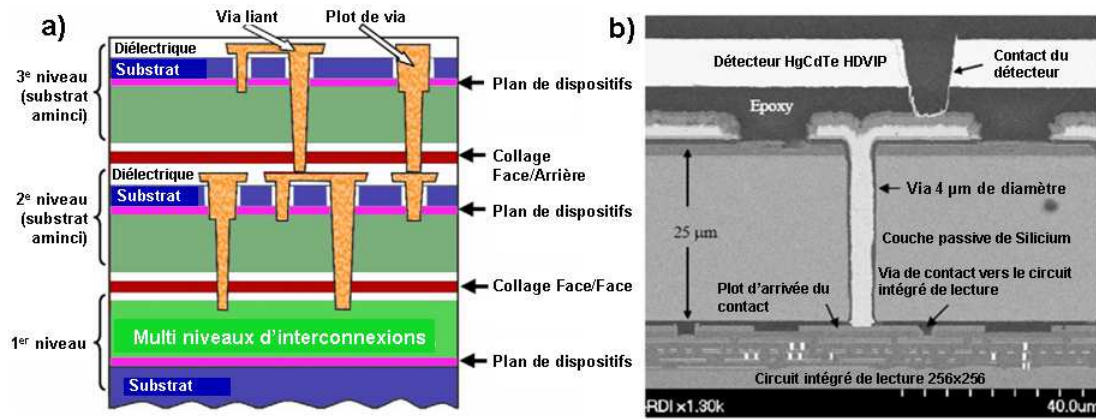


FIGURE 1.14 – a) Schéma de principe du collage de puces avec représentation de trois niveaux de dispositifs. b) image MEB d'une coupe d'un détecteur Infrarouge couplé à un circuit intégré de lecture par collage de puces d'après [11].

La technique de collage de puces est donc très prometteuse et largement développée à l'heure actuelle afin de réaliser de l'intégration 3D. Ce mode de fabrication permet d'obtenir des transistors de hautes qualités superposés les uns sur les autres mais nécessite de lourds moyens de production. Nous allons désormais nous intéresser à une toute autre méthode. Ne serait-il pas possible de réaliser directement dans les étapes back-end des transistors ? quelles seraient les limites d'une telle approche ?

1.4.2.2 L'élaboration directe

Dans le but de fabriquer des SOC l'idéal serait de pouvoir réaliser les différents niveaux les uns sur les autres sans avoir à faire de report de puce, c'est-à-dire en élaborant directement les niveaux supérieurs sur la puce de base. La difficulté réside dans le fait de pouvoir notamment élaborer des composants actifs comme le transistor à des températures suffisamment basses pour éviter la destruction du front-end tout en garantissant de bonnes caractéristiques électriques. A l'heure actuelle les dispositifs réalisés utilisent une couche de silicium polycristallin comme par exemple les SRAM réalisées par Samsung (figure 1.15) avec un empilement sur trois niveaux de six transistors [12].

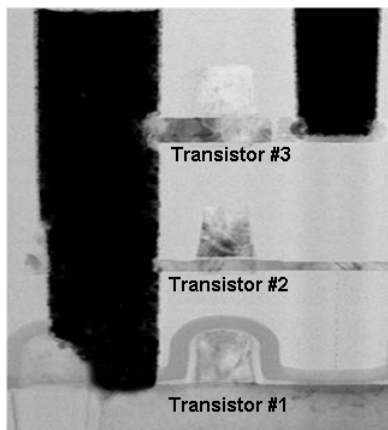


FIGURE 1.15 – Image TEM d'un empilement sur trois niveaux de transistors dédiés à la réalisation d'une SRAM par Samsung.[12]

En effet, comme il n'est pas possible de dépasser 450 °C il est impossible en utilisant les méthodes traditionnelles de dépôt de synthétiser un monocristal. L'utilisation d'un poly-cristal conduit donc à des propriétés électriques dégradées. Le but serait de pouvoir élaborer un monocristal avec le respect des conditions thermiques du back-end afin d'utiliser ce matériau comme canal de conduction d'un transistor. Il serait ainsi possible d'élaborer des SOC sans procédé de collage tout en garantissant de bonnes performances des dispositifs élaborés à basse température.

Quel type de transistors pourrait convenir, du point de vue des procédés technologiques, avec les étapes du back-end ? Le MOSFET pose de nombreuses problématiques dont une de taille. Les contacts de source et de drain sont des poches de dopage réalisées par implantation ionique suivie de recuits à haute température afin d'activer les dopants. Ces étapes sont simplement impossibles à réaliser sous peine de détruire les dispositifs du front-end. Afin de palier à ce problème une autre structure est proposée : le transistor à effet de champ à barrière Schottky (SBFET).

1.5 Un transistor dans le back end : le SBFET (Schottky barrier field-effect transistor)

Le SBFET ou Transistor à Effet de Champ à Barrières Schottky (Schottky Barrier Field-Effect transistor) est une évolution du MOSFET standard dédiée principalement aux applications basse consommation. La différence notable réside dans la nature des contacts de source et de drain. Ainsi, au lieu d'une jonction p-n, le SBFET utilise une barrière Schottky comme contacts de source et de drain. Avant d'expliquer l'intérêt d'une telle structure penchons nous sur la physique du transport électronique au niveau d'une barrière Schottky.

1.5.1 La barrière Schottky : électrostatique

Considérons un métal M et un semi-conducteur S mis en vis à vis, possédant pour le premier un travail de sortie $q\Phi_M$ et le deuxième une affinité électronique $q\chi$. Dans le cas d'un semi-conducteur ou d'un isolant l'affinité électronique représente le travail à fournir à un électron situé en bord de bande de conduction pour l'extraire dans le vide sans vitesse initiale. Par conséquent, et étant donné que Φ_M et χ sont généralement différents (généralement $\Phi_M > \chi$ pour le silicium et la plupart des métaux), une barrière de potentiel s'établit lors de la mise en contact des deux matériaux s'opposant au passage des électrons du métal au semi-conducteur. Idéalement la hauteur de barrière ϕ_{iBn} peut être déterminée par :

$$q\phi_{iBn} = q(\Phi_M - \chi) \quad (1.12)$$

. Le niveau de Fermi du semi-conducteur isolé n'étant généralement pas aligné avec celui du métal isolé, nous pouvons définir pour le semi-conducteur un travail de sortie Φ_S comme étant la différence d'énergie entre le niveau du vide et le niveau de Fermi, autrement dit la somme de l'affinité électronique et de la différence d'énergie entre la bande de conduction et le niveau de Fermi. A l'issue de la mise en contact des deux matériaux, l'équilibre thermodynamique est atteint et donne lieu à l'alignement des deux niveaux de Fermi, induisant un transfert de charges entre le métal et le semi-conducteur. Ceci a pour conséquence de courber les bandes de valence et de conduction du semi-conducteur à l'interface M/S. En effet la densité d'états étant considérablement plus grande dans le métal que dans le semi-conducteur, seules les premières couches atomiques du métal seront concernées par le rééquilibrage des charges satisfaisant à la condition d'équilibre, contrairement au semi-conducteur qui sera affecté sur des distances bien plus grandes. Si l'alignement des

La chute de potentiel Ψ_{iB} dans le semi-conducteur est donnée par :

La région dans laquelle la distribution de la charge est modifiée par rapport au semi-conducteur massif est appelée la région de déplétion ou zone de charge d'espace. Le profil du potentiel électrique peut être calculé simplement en résolvant l'équation de Poisson à une dimension, perpendiculairement à l'interface M/S, connaissant la distribution de la charge totale :

avec N_d et N_a concentrations (cm^{-3}) des dopants donneurs et accepteurs respectivement, supposés tous ionisés, dans le semi-conducteur massif supposé de type n, p est la concentration de trous libres et n la concentration d'électrons libres. En appliquant le théorème de Gauss et en considérant N_a et p comme négligeables nous trouvons que la largeur de déplétion W est définie comme :

Lorsqu'une tension est appliquée le potentiel et la largeur de déplétion sont modifiés. Appliquer une tension positive (négative) sur le métal augmente le nombre de porteurs à la surface du semi-conducteur et ainsi diminue en valeur absolue (augmente) le potentiel électrostatique et la courbure des bandes.

Expérimentalement les équations (1.12) et (1.13) ne prédisent pas correctement la hauteur de barrière et la courbure des bandes. Ceci s'explique par la présence d'états d'interfaces responsables de la modification de la barrière comme expliqué pour la première fois par Bardeen en 1947. Les états de surface induisent une couche chargée à l'interface responsable d'une variation du potentiel de surface du semi-conducteur par rapport au niveau de Fermi du métal, modifiant par là même la hauteur de barrière vue par les électrons désirant traverser l'interface. Si la densité de charges d'interface est grande, alors la barrière à franchir pour les électrons devient indépendante du travail de sortie du métal et est fixée par la densité de charges piégées en surface et par le taux de dopage du semi-conducteur. Dans ce cas, on parle de "Fermi-level pinning" ou littéralement "l'accrochage du niveau de Fermi".

Le modèle de Bardeen a été proposé en considérant la présence d'une couche interfaciale entre le métal et le semi-conducteur et a été par la suite revu afin d'expliquer ces états d'interface sans cette couche. Il y a principalement deux idées permettant d'expliquer ces états d'interface : les états induits dans le gap par le métal (ou MIGS pour metal induced gap states) et les défauts d'interface. Dans le premier cas les états d'interface sont provoqués par la queue de la fonction d'onde des électrons du métal qui s'étend au travers de l'interface. Dans le second cas l'interruption du potentiel périodique des deux matériaux conduit à des états défauts s'étendant au travers de l'interface métal/semi-conducteur. Ces modèles ont été discutés en détails par Rhoderick. Bien que les résultats expérimentaux concordent avec ces équations l'origine de ces états d'interfaces n'est pas clairement comprise. En 2000 Tung proposa que le Fermi level pinning était dû aux liaisons chimiques entre le métal et le semi-conducteur[13].

Malgré les difficultés à avoir un modèle physique précis quant à l'origine exacte de la formation de ces états d'interface, la hauteur de barrière peut être déterminée expérimentalement selon les méthodes que nous présenterons par la suite. Nous distinguerons par la suite les barrières vues par les électrons n- et par les trous p-. Aussi nous désignerons par ϕ_{Bn} la barrière associée aux électrons et par ϕ_{Bp} la barrière associée aux trous. Idéalement la somme des deux barrières est égale au gap du semi-conducteur, ($E_G = \phi_{Bn} + \phi_{Bp}$).

1.5.2 Mécanismes de transport dans un contact Métal/Semi-conducteur

A température ambiante une diode Schottky idéale a un comportement redresseur dû à la nature dysymétrique de l'émission de porteurs majoritaires au delà de la hauteur de barrière entre le semi-conducteur et le métal. Ce transport peut être dominé soit par l'émission thermo-ionique à l'interface métal-semiconducteur soit par un procédé de dérive/diffusion dans la zone de charge d'espace. Ces mécanismes peuvent être compris en considérant la figure 1.17. Si le transport s'effectue à la barrière, comme c'est le cas pour l'émission thermo-ionique, le potentiel chute à l'interface et la résistance limitante est due aux électrons ayant suffisamment d'énergie pour surmonter la barrière. Si, d'un autre côté le procédé de dérive/diffusion limite le transport, le potentiel chute sur la longueur de la zone de charge d'espace et la résistance dominante est due aux électrons traversant cette région. Plus importantes sont la hauteur de barrière et la courbure de bandes et plus l'émission thermoionique dominera. Nous allons présenter la théorie de l'émission thermoionique et le formalisme permettant de tenir compte à la fois de ce phénomène mais également des procédés de dérive et diffusion dans la ZCE. Enfin nous présenterons les deux autres mécanismes résultant de l'effet tunnel à la jonction et poserons nos hypothèses pour la suite de l'étude.

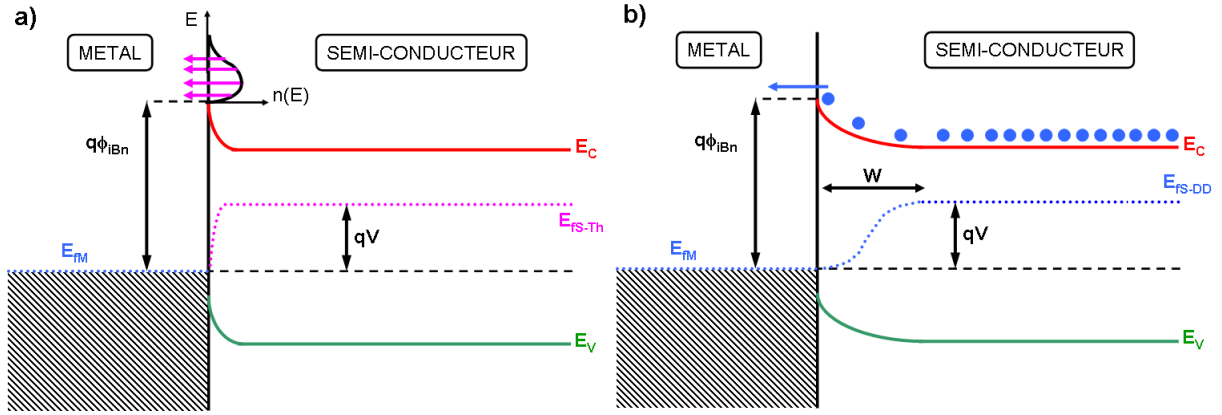


FIGURE 1.17 – Schéma du profil de potentiel d'une jonction Schottky d'après les théories a) de l'émission thermo-ionique et b) de dérive-diffusion

1.5.2.1 Émission thermo-ionique

Cette première approche visant à expliquer le transport dans les jonctions Schottky réduit les phénomènes de transports à la zone interfaciale métal semi-conducteur et néglige tout effet lié aux fluctuations de potentiel dans la zone déplétée. Ainsi ne prend-elle en compte dans le transport que la contribution des porteurs d'énergie supérieure à celle du bord de bande à l'interface métal-semiconducteur en considérant que $J_{s \rightarrow m} = \int_{E_F + q\Phi_B}^{\infty} qv_x dn$, où la borne inférieure de l'intégrale représente le seuil énergétique au delà duquel il n'existe plus de barrière et v_x est la composante transversale à l'interface du vecteur vitesse de l'électron. En approximant la densité d'électrons libres par la statistique de Boltzmann avec un quasi niveau de Fermi modulé à l'interface par la tension extérieure, et en exprimant l'énergie (considérée comme purement cinétique) de l'électron dans sa bande de conduction en fonction de sa vitesse, nous pouvons calculer l'expression analytique de l'intégrale précédente. Le courant opposé d'électrons du métal vers le semi-conducteur est quant-à lui indépendant de la tension extérieure appliquée puisqu'il "voit" une hauteur de barrière Φ_{ibn} constante. Pour l'évaluer, il suffit de calculer $J_{s \rightarrow m}(V = 0)$. Au final, nous obtenons un courant total

$$J = J_{sm} - J_{ms} = N_c \left(\frac{kT}{2\pi m^*} \right)^{\frac{1}{2}} \exp \left\{ -\frac{q\phi_{ibn}}{kT} \right\} \left[\exp \left\{ \frac{qV}{kT} \right\} - 1 \right] \quad (1.16)$$

En réinjectant la valeur de N_c dans 1.16 nous retrouvons la formule de l'émission thermo-ionique :

$$I = SA^*T^2 \exp \left[-\frac{q\phi_{ibn}}{kT} \right] \left(\exp \left[\frac{qV}{kT} \right] - 1 \right) \quad (1.17)$$

avec A^* la constante de Richardson effective et m^* la masse effective des porteurs de charge considérés. S est la surface d'injection des porteurs c'est-à-dire dans notre cas le diamètre du nanofil considéré. Comme la constante de Richardson est un paramètre important il semble nécessaire de rappeler quelques valeurs et méthodes de calcul.

Concernant le silicium ces valeurs sont relativement bien connues cependant concernant l'alliage SiGe aucune équation précise ne permet de relier la valeur de cette constante à la teneur en germanium de l'alliage. Aussi, pour un alliage $\text{Si}_{1-x}\text{Ge}_x$ est-il communément admis d'utiliser une simple relation linéaire [14, 15, 16, 17] conduisant à :

$$\frac{A^*}{A} = \frac{A_{Si}^*}{A_{Si}}(1-x) + \frac{A_{Ge}^*}{A_{Ge}}x \quad (1.18)$$

Avec A la constante de Richardson qui vaut $120.10^4 \text{ A.m}^{-2}\text{K}^{-2}$. Les valeurs de ces constantes pour le silicium et le germanium sont résumées dans le tableau 1.2.

TABLE 1.2 – Valeurs de A^*/A pour Si et Ge d'après Sze[7]

Semiconducteur	Silicium	Germanium
type p	0.66	0.34
type n <100>	2.1	1.11
type n <111>	2.2	1.19

Ce formalisme n'est valable que pour le cas d'un transport dominé uniquement par l'émission thermoionique, or comme nous l'avons vu précédemment des phénomènes de dérive et de diffusion des porteurs dans la ZCE peuvent limiter la contribution de cette émission. Nous allons donc présenter brièvement la théorie de diffusion dans la ZCE et nous présenterons le modèle permettant de tenir compte à la fois de l'émission thermoionique et de la diffusion/dérive des charges dans la ZCE.

1.5.2.2 Théorie de la diffusion

La théorie de diffusion de Schottky résulte de quatre hypothèses :

1. la hauteur de barrière à la jonction métal-semiconducteur est grande devant l'énergie thermique kT
2. les effets des collisions électroniques dans la ZCE sont prises en compte
3. la concentration des porteurs à $x=0$ et $x=W_D$ ne dépend pas du courant
4. le semi-conducteur n'est pas dégénéré

Nous ne présenterons pas toute la démarche permettant d'arriver au résultat mais allons surtout nous concentrer sur la combinaison de cette théorie avec celle de l'émission thermoionique permettant de tenir compte des deux effets. La théorie de la diffusion permet d'écrire que la densité de courant à travers la jonction dépend de la tension suivant la loi suivante :

$$J \approx q\mu_n N_c \mathcal{E}_m \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1\right] = J_D \left[\exp\left(\frac{qV}{kT}\right) - 1\right] \quad (1.19)$$

Cette formule est très similaire à celle de l'émission thermoionique cependant le courant de saturation est moins sensible à la température dans le cas de la théorie diffusive et plus sensible au potentiel appliqué par rapport à la pure émission thermoionique. Une synthèse des ces deux théories a été proposée par Crowell et Sze[18]. Cette combinaison donne la théorie de l'émission thermoionique-diffusion.

1.5.2.3 Théorie de l'émission thermoionique-diffusion

Une fois combinées, les deux précédentes théories donnent une expression finale du courant à travers la barrière de la forme :

$$J = A^{**} T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1\right] \quad (1.20)$$

avec A^{**} la constante corrigée effective de Richardson. Cette constante tient compte des probabilités de réflexion des électrons au niveau de la barrière ainsi que de leur passage au travers de cette dernière par effet tunnel. Ceci induit une baisse significative jusqu'à 50% de la valeur de la constante effective de Richardson. Cependant Crowell et Sze montrent que le profil de potentiel dans des semi-conducteurs peu dopés ne se trouve pas affecté de manière significative et que le modèle d'émission thermoionique reste valable en donnant des valeurs acceptables.

Nous retiendrons ainsi que pour la suite de l'étude seul le modèle thermoionique pur sera retenu.

1.5.2.4 Émission par effet de champ et émission thermo-ionique assistée par champ

Alors que l'émission thermo-ionique est un phénomène purement classique, l'émission de champ ou effet tunnel est un effet quantique. Cet effet domine le transport des charges dans des conditions de basse température ou de fort dopage du semi-conducteur. Si la température est suffisamment importante pour que les charges traversent la barrière par effet tunnel proche de son sommet mais qu'elle est trop faible pour les émettre au delà du sommet on parle alors d'émission thermo-ionique assistée par champ. Ces deux phénomènes s'additionnent à l'émission thermo-ionique pure comme représenté sur la figure 1.18.

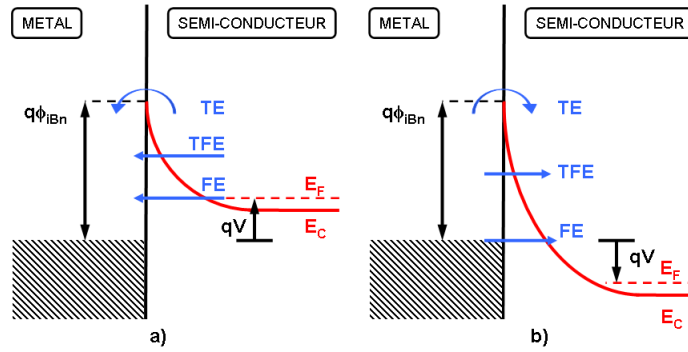


FIGURE 1.18 – Schéma montrant les trois mécanismes principaux de transport au niveau d'une barrière Schottky (pour un semi-conducteur dégénéré de type n). a) en polarisation directe b) en polarisation inverse. TE = émission thermo-ionique, TFE = émission thermo-ionique assistée par champ et FE = émission de champ.

La contribution de chacun de ces mécanismes peut être grossièrement estimée en comparant l'énergie thermique kT à E_{00} défini comme :

$$E_{00} = \frac{q\hbar}{2} \sqrt{\frac{N}{m^* \epsilon_s}} \quad (1.21)$$

avec q la charge élémentaire, \hbar la constante relative de Planck, N le niveau de dopage du semi-conducteur, m^* la masse relative des porteurs et ϵ_s la permittivité du semi-conducteur. Si $kT \gg E_{00}$ l'émission thermo-ionique domine sans effet tunnel, quand $kT \ll E_{00}$ l'émission de champ domine. Enfin quand $kT \approx E_{00}$ l'émission thermo-ionique assistée par champ est le mécanisme de transport principal[7].

La question est de savoir quel modèle nous devons considérer pour notre étude. Sachant que les fils étudiés sont non intentionnellement dopés le niveau de dopage mis en jeu est inférieur à 10^{17}cm^{-3} (cf. chapitre 3). De plus toutes les caractérisations électriques sont effectuées à température ambiante. Aussi en se référant au graphique 1.19 on constate que dans nos conditions de travail le rapport entre le courant tunnel et le courant

d'émission thermo-ionique est d'environ 10^{-8} . Ceci implique que nous pouvons considérer le courant tunnel comme négligeable lorsque la grille du transistor n'est pas polarisée.

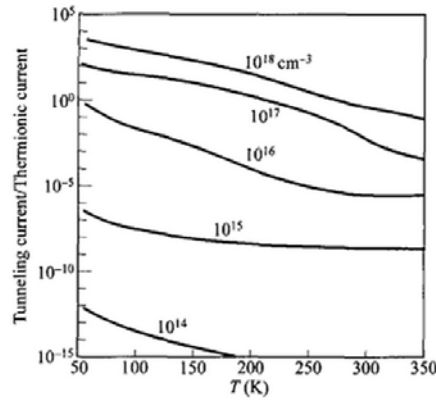


FIGURE 1.19 – Rapport du courant tunnel sur le courant thermo-ionique dans une diode Au-Si pour différentes températures et différents niveaux de dopage du semi-conducteur.

Lorsque la grille est polarisée, la densité de porteurs libres dans le nanofil est fortement modifiée induisant ainsi une courbure des bandes au voisinage des jonctions Schottky pouvant dans certains cas favoriser la conduction par effet tunnel. Nous verrons cependant dans le chapitre suivant qu'il est possible également, sous certaines conditions, de négliger cet effet tunnel.

Ces mécanismes de transport dans les barrières Schottky permettent donc de réaliser un nouveau dispositif, le SBFET. Nous allons voir l'intérêt d'une telle structure.

1.5.3 Intérêt du SBFET

L'avantage d'une jonction Schottky est que l'interface métal/semi-conducteur est abrupte ainsi il est plus facile d'aller vers la réalisation de transistors de petites dimensions en évitant les phénomènes de canaux courts. L'absence d'étapes d'implantation et ainsi donc de recuits d'activation à haute température en font un bon candidat pour l'intégration back end car la totalité des étapes technologiques respectent le budget thermique imposé. On peut également penser à intégrer d'autres matériaux que le silicium plus difficiles à doper comme l'oxyde de zinc par exemple. Au final la structure d'un tel transistor est présentée dans la figure 1.20 a).

Les figures 1.20 b) à d) montrent le principe de fonctionnement d'un SBFET. A l'équilibre thermique, $V_G = V_D = 0V$, la hauteur de barrière vue par les trous est $q\phi_{Bp}$. Quand la tension de grille est au dessus du seuil permettant l'inversion de la surface du type p vers le type n, la hauteur de barrière entre la source et la couche d'inversion est $q\phi_{Bn}$. Notons que la source est polarisée en inverse dans les conditions de fonctionnement. Pour augmenter la densité de courant le métal doit être choisi pour donner une hauteur de barrière envers les porteurs majoritaires la plus haute possible de telle sorte que la barrière vue par les porteurs minoritaires soit la plus petite possible. Le courant supplémentaire dû à l'effet tunnel à la barrière peut aider à l'augmentation de la densité des porteurs dans le canal.

Si le courant à l'état fermé du transistor est très bas grâce à la hauteur de la barrière Schottky, le courant à l'état passant dépend fortement des résistances d'accès. Pour un fonctionnement idéal la grille doit recouvrir les siliciures afin de garantir la continuité de la mise au potentiel d'inversion de tout le canal mais nous verrons qu'il n'est pas toujours facile de satisfaire cette condition.

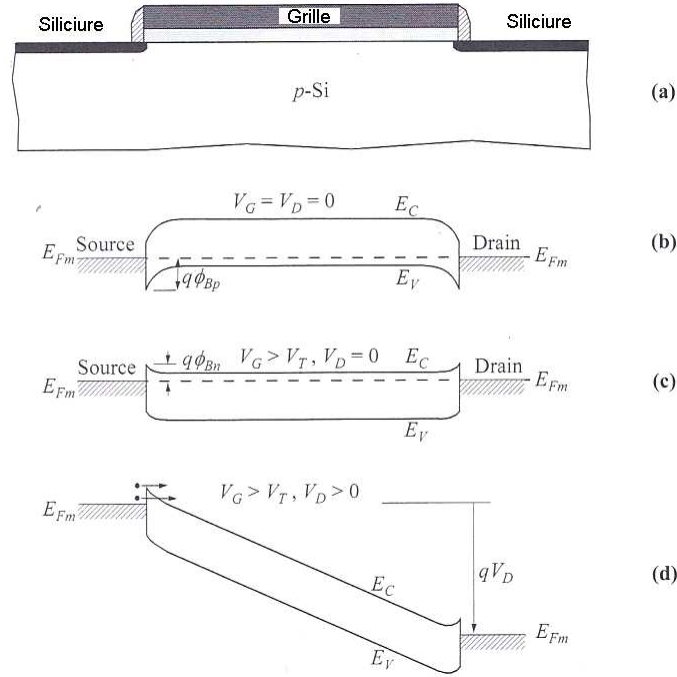


FIGURE 1.20 – Schéma de principe d'un SBFET a) schéma de coupe d'un dispositif b) -d) Diagramme de bande le long de la surface du semi-conducteur pour différentes tensions de drain et de grille[7]

Le faible courant à l'état bloqué fait de ce dispositif un candidat idéal aux applications à faible consommation. En effet, sans polarisation le transistor est bloqué et très peu de pertes sont observées entre la source et le drain ainsi une mémoire ou tout autre type de système utilisant ces transistors présentera une faible consommation électrique.

Ce type de transistor s'avèrerait donc particulièrement adapté à une intégration dans les étapes back-end des circuits intégrés. Il présente un respect complet du budget thermique et permet de réaliser des circuits à faible demande énergétique le mettant en bonne position dans les technologies vertes. Un problème reste à résoudre. Comment élaborer un monocristal étant donné les restrictions drastiques en terme de températures ?

Nous allons maintenant nous intéresser à des objets étudiés depuis une dizaine d'années qui sont très prometteurs pour réaliser ce genre de composants back-end. Nous verrons qu'il existe diverses manières de les synthétiser et qu'une en particulier peut nous laisser espérer réaliser notre objectif à savoir un transistor SBFET compatible avec les conditions back-end utilisant un cristal comme canal de conduction.

1.6 Les nanofils semi-conducteurs

1.6.1 Définition

Un nanofil est objet tridimensionnel dont au moins deux dimensions sont inférieures ou égales à 100 nm et dont la troisième est supérieure à 100 nm. Nous allons voir comment s'effectue la synthèse de ce type de structures ainsi que les atouts qu'elles peuvent présenter.

1.6.2 Élaboration

Il existe de nombreuses méthodes d'élaboration de nanofils toutes classées dans deux grandes familles.

1. L'approche descendante (top-down) : elle consiste à partir d'un objet massif puis à l'aide de techniques de lithographie et de gravure successives à définir des sous-ensembles de dimensions de plus en plus petite. C'est exactement le même principe que la sculpture.
2. L'approche ascendante (bottom-up) : elle consiste à partir d'un objet de base, idéalement le plus petit possible puis à assembler cet objet soit avec ses semblables soit avec des objets différents. On construit ainsi un système de plus en plus complexe. C'est la méthode que l'on utilise pour construire les bâtiments.

Nous allons présenter comment des nanostructures peuvent être élaborées selon ces deux méthodes.

1.6.2.1 Approche descendante

C'est la méthode traditionnelle de la microélectronique. Il s'agit d'obtenir des nanostructures en gravant un matériau massif à travers un masque de gravure. De cette manière il est possible d'obtenir des nanofils soit verticaux soit horizontaux. Une résine est utilisée afin de définir des motifs par lithographie soit optique soit électronique. Ensuite le masque dur est gravé par voie sèche. Après un retrait de la résine le matériau constituant les nanofils est gravé par voie sèche. L'avantage de cette technique est de parfaitement contrôler le matériau constituant les nanofils et notamment le niveau de dopage. L'autre avantage de cette méthode est le contrôle et la reproductibilité des dispositifs notamment du point de vue dimensionnel grâce aux méthodes avancées de lithographie.

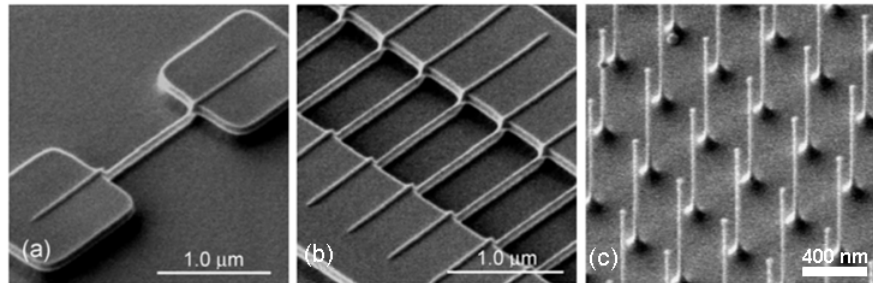


FIGURE 1.21 – a) et b) nanofils Si gravés utilisés comme transistors planaires à mono ou multicanaux. c) Nanofils Si gravés verticaux. d'après [19]

Une variante de l'approche descendante est d'utiliser non pas une gravure sèche plasma mais une gravure humide catalysée. Pour cela un métal est utilisé comme catalyseur de la gravure du silicium. Les nanofils obtenus sont très denses mais leur positionnement reste difficile à contrôler et les surfaces des nanofils sont très souvent rugueuses[20].

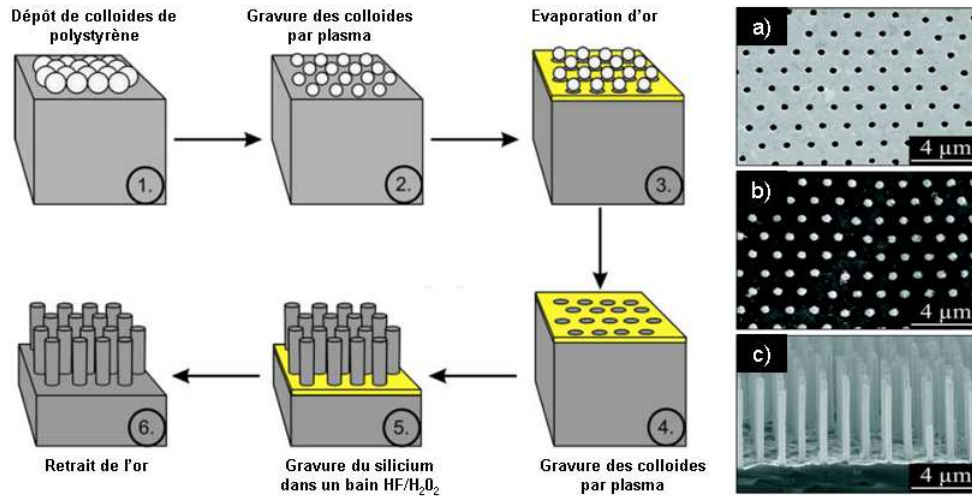


FIGURE 1.22 – 1) à 6) Schémas décrivant une méthode pour la réalisation de nanofils Si par gravure du silicium catalysée par métal. a) Image MEB du masque d'or. b) Image MEB vue de dessus des nanofils de silicium. c) vue en coupe des nanofils de silicium. d'après [20]

Bien que cette méthode soit très largement étudiée elle n'est pas applicable pour nos objectifs d'intégration back-end. La nécessité d'avoir un substrat cristallin nous pose encore le problème d'avoir un cristal dans les étapes d'interconnexions. Il faut donc trouver une méthode permettant de synthétiser des nanofils semi-conducteurs cristallins à basse température. La méthode offrant cette possibilité est l'approche ascendante.

1.6.2.2 Approche ascendante

Comme pour la voie descendante il existe différents moyens pour synthétiser des nanofils semi-conducteurs en voie ascendante. La plus répandue et la mieux maîtrisée est la croissance VLS pour Vapeur-Liquide-Solide. Ce phénomène de croissance catalysée a été observé pour la première fois par Wagner et Ellis en 1964. Il s'agit dans ce cas d'utiliser un métal comme catalyseur. Une montée en température permet d'obtenir un démouillage du métal formant ainsi des gouttelettes liquides de taille nanométrique. Des gaz précurseurs contenant entre autres du silicium sont amenés à la surface du catalyseur. Les précurseurs se décomposent à la surface de la goutte métallique, une partie est rejetée sous forme gazeuse et l'autre est dissoute dans le catalyseur. Ce catalyseur se charge en silicium formant un alliage jusqu'à ce que la goutte atteigne la saturation. Lorsque c'est le cas mais que l'apport de silicium continue, l'excédent de matière cristallise à l'interface entre la goutte et le substrat. Au fur et à mesure de l'incorporation de silicium un nanofil cristallin croît sous la goutte d'or. Ces étapes de croissance sont résumées dans la figure 1.23.

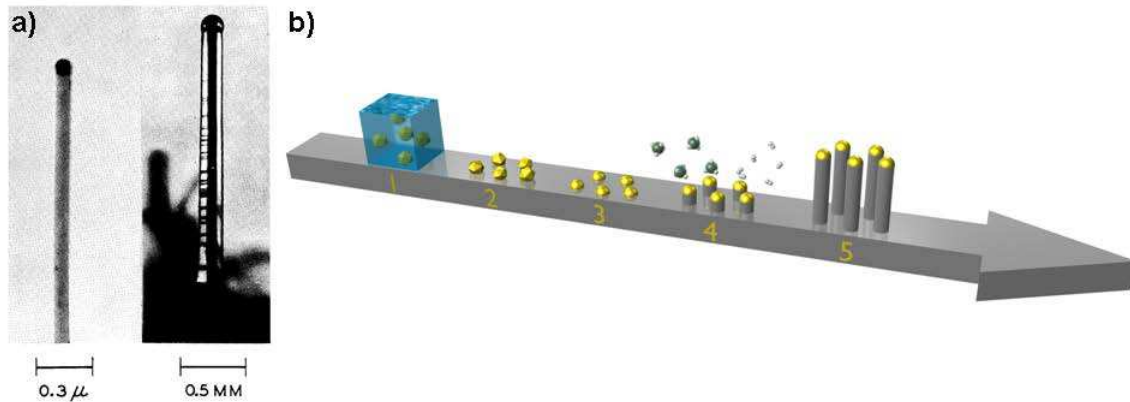


FIGURE 1.23 – a) Images MEB des nanofils obtenus par Wagner et Ellis à partir d'un catalyseur d'or [21]. b) Schéma du principe de la croissance VLS. 1) dépôt d'une solution de colloïdes d'or. 2) Sédimentation des colloïdes. 3) Montée en température. 4) Apport des gaz précurseurs et croissance. 5) fin de croissance.

De nombreux métaux peuvent être utilisés comme catalyseurs et notamment l'or, le palladium, le nickel, le platine, le cobalt ou le cuivre. Il s'avère cependant plus simple d'obtenir et de contrôler une croissance de nanofils avec un catalyseur d'or en raison de sa stabilité chimique et en raison de la température de l'eutectique du système Au-Si qui est de 363°C. Ce catalyseur pose malgré tout des problèmes de compatibilité avec le domaine de la microélectronique que nous aborderons plus tard.

Nous venons de voir qu'il existe deux grandes méthodes d'élaboration des nanofils. Cette étude propose de se concentrer sur l'utilisation de la voie ascendante afin de synthétiser un monocristal de silicium à basse température en utilisant le mécanisme VLS. Il y a encore un choix à faire quant à la méthode de dépôt à utiliser pour la croissance. En effet, deux types de machines de dépôt s'offrent à nous : l'épitanie par jet moléculaire (MBE pour Molecular Beam Epitaxy) ou le dépôt chimique en phase vapeur (CVD pour Chemical Vapor Deposition). Nous allons expliquer le principe de chaque méthode et définir celle qui correspond à nos besoins.

1.6.2.3 L'épitanie par jets moléculaires

La MBE consiste à évaporer une cible de silicium sous ultra-vide, comme source de matière, en vis-à-vis du substrat sur lequel a été déposé le catalyseur. Une telle méthode présente des avantages et inconvénients que nous allons présenter.

– Avantages :

- L'utilisation de l'ultra vide combiné à l'évaporation induit des vitesses de dépôt très faibles de l'ordre de 1 à 10 nm.min⁻¹. Ceci permet de parfaitement contrôler la croissance et notamment de réaliser des hétérojonctions très abruptes dans le cas de l'utilisation de plusieurs sources.
- Il est également possible de doper de manière très contrôlée les couches réalisées ce qui est un atout indéniable pour la réalisation de dispositifs.
- Il est possible de réaliser des mesures en temps réel dans l'enceinte même de dépôt comme par exemple la mesure de la composition des gaz résiduels par spectrométrie de masse, la mesure de l'épaisseur de la couche déposée par pyrométrie et encore plus intéressant, le suivi de l'évolution dimensionnelle et cristalline de la couche grâce à un système RHEED (diffraction d'électrons de haute énergie).

– Inconvénients

- L'utilisation d'une enceinte ultra-vide est complexe et couteuse. Il est difficile de réaliser des procédés microélectronique à grande échelle dans de tels appareils.
- La faible vitesse de dépôt ne permet pas de réaliser des fils de longueur importante ($>1\mu\text{m}$) et la réalisation de dispositifs est donc complexifiée.
- Le métal utilisé pour la catalyse va certes jouer son rôle en privilégiant la croissance en certains points mais le dépôt 2D reste important et est donc problématique pour la réalisation de dispositifs électriques.

Les nanofils obtenus par croissance catalysée avec un dépôt MBE sont présentés dans la figure 1.24. On remarque la couche 2D cristalline de silicium au pied des nanofils. La vitesse de croissance dans ces conditions est d'environ $1,9 \text{ nm.min}^{-1}$.

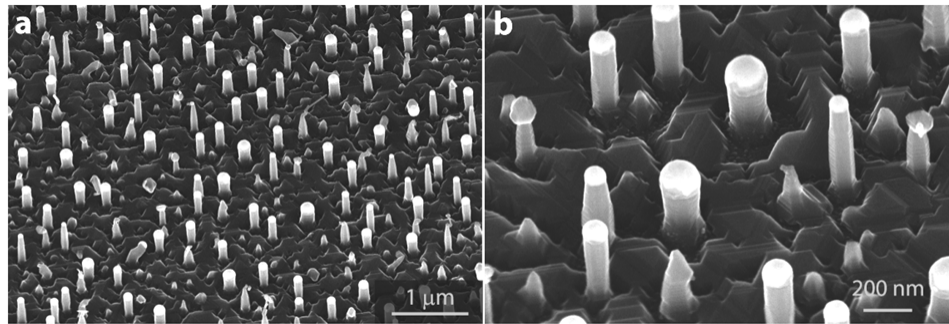


FIGURE 1.24 – Nanofils de silicium catalysés à partir d'un film d'or démouillé de 2 nm et crûs dans un bâti MBE à 500°C pendant 3h30. Les fils ont une longueur d'environ 400 nm.

Nous allons désormais nous intéresser aux dépôts chimiques en phase vapeur.

1.6.2.4 Le dépôt chimique en phase vapeur

Le dépôt CVD consiste à envoyer un gaz précurseur à la surface d'un substrat où il va se décomposer afin de former le matériau souhaité sous forme solide et produire des déchets de réactions sous forme gazeuse. Le substrat est chauffé à l'aide d'un système résistif qui chauffe au passage le tube en quartz utilisé comme enceinte. On parle alors de réacteur à murs chauds par opposition aux réacteurs à murs froids utilisant un chauffage par induction magnétique. Les pressions partielles de silicium dans une chambre CVD sont entre 10^{-1} et 10^{-2} Torr soit 6 à 7 ordres de grandeurs de plus que les dépôts MBE, en résulte ainsi une vitesse de croissance de l'ordre de 100 à 1000 nm.min^{-1} . Nous allons exposer les avantages et inconvénients de cette méthode.

- Avantages
 - Vitesse de croissance élevée par rapport à la MBE.
 - Coût du dépôt réduit car pas d'utilisation d'ultra-vide.
 - Système déjà largement utilisé dans le domaine de la microélectronique.
 - Possibilité de coupler une assistance plasma afin de diminuer la température de dépôt.
 - Possibilité de doper les couches en ajoutant des gaz dopants comme la phosphine ou le diborane.
 - Possibilité de traiter des substrats de grandes dimensions.
 - Bon contrôle de la vitesse de dépôt.
 - Dépôt contrôlé par les chimies de surfaces et donc grande sélectivité. Pas de dépôt 2D entre les nanofils.
- Inconvénients
 - Difficulté de réaliser des jonctions de matériaux ou de dopage abruptes.

– Pas de contrôle in-situ des couches réalisées.

Les avantages de la CVD l'emportent sur les inconvénients et cette méthode correspond beaucoup plus à nos attentes et à nos objectifs. Nous optons donc pour un dépôt CVD combiné à une croissance catalysée. Par défaut nous choisirons l'or comme catalyseur et nous aurons l'occasion de discuter des problématiques que cela peut engendrer à la fin de cette thèse.

La croissance catalysée des nanofils par CVD permet ainsi d'obtenir des nanofils dont l'aspect est celui montré sur la figure 1.25.

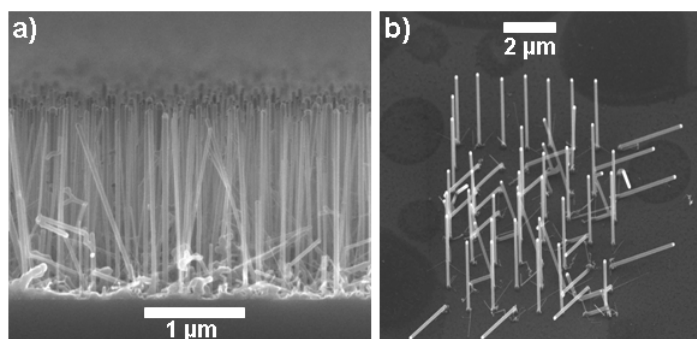


FIGURE 1.25 – Nanofils Si synthétisés par VLS-CVD a) à partir d'une couche d'or démoillée de 2nm b) à partir de plots d'or localisés

Ce type de nanostructures et particulièrement les mécanismes intervenant dans la croissance ont été très largement étudiés durant les dernières années. Nous ne nous pencherons pas sur cet aspect durant cette étude mais nous nous intéresserons plus particulièrement aux propriétés électriques des nanofils. De nombreuses équipes étudient depuis une petite dizaine d'années les dispositifs électriques utilisant les nanofils. Nous allons exposer les propriétés qui font que les nanofils semi-conducteurs pourraient avoir leur place en tant que dispositifs électroniques dans les puces de demain.

1.6.3 Dispositifs à nanofils

Notre but étant d'utiliser les nanofils comme canaux de conduction dans des transistors nous allons nous intéresser aux travaux qui ont pu être faits dans le domaine. Pour cela nous distinguerons deux grandes familles. Les transistors planaires et les transistors verticaux. Les transistors planaires utilisent des nanofils qui ont été dispersés sur un substrat hôte, la plupart du temps un semi-conducteur dégénéré couvert d'un diélectrique afin de l'utiliser comme oxyde de grille. Les transistors verticaux, plus complexes, conservent les fils dans leur position verticale. Le dispositif est alors réalisé autour de ces nanofils en utilisant de nombreuses étapes technologiques. Nous allons donc exposer quelques travaux marquants ayant étudié ces nanofils.

1.6.3.1 Transistors planaires

En 2000, le groupe de recherche de C. M. Lieber publia un article [22] présentant la réalisation de transistors planaires à nanofils de silicium présentant de très belles performances électriques. Les nanofils étudiés avaient un diamètre de 10 à 20 nm et étaient contactés entre deux électrodes de Ti/Au par lithographie électronique. Ces travaux ont montré la possibilité d'obtenir des mobilités des porteurs supérieures à celles du silicium massif. Ce groupe s'est focalisé sur la modification de la surface des nanofils et son impact sur leurs performances après avoir été traités soit au 4-nitrophenyl octodecanoate soit au bromure de tetraethylammonium.

Les applications visées dans ce cas sont principalement la détection biologique et les mesures in-vivo de signaux électriques. Bien que le domaine d'application varie très fortement de nos objectifs on constate avant modification chimique que les nanofils peuvent très bien être utilisés comme SBFET.

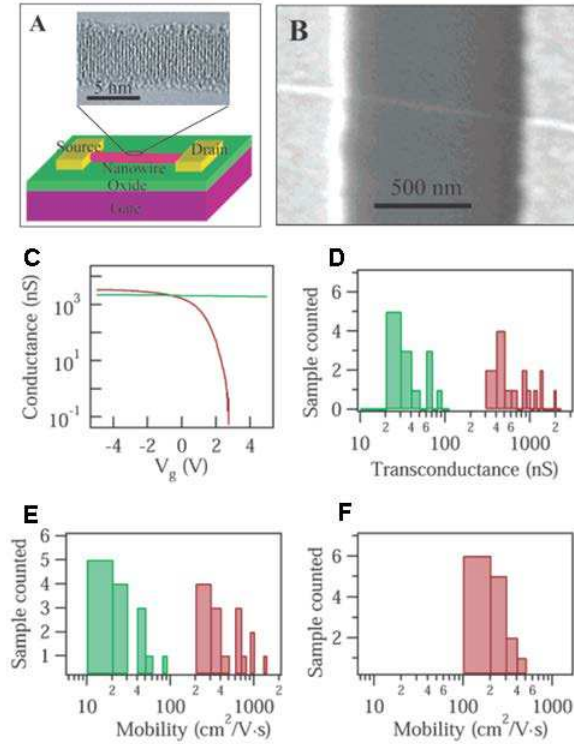


FIGURE 1.26 – a) Image TEM d'un nanofil de silicium de 5 nm de diamètre et schéma de principe d'un transistor à nanofil. b) Image MEB d'un transistor à nanofil Si. c) Conductance d'un transistor avant et après traitement de surface. d) Transconductance de plusieurs transistors avant et après traitement de surface. e) Mobilité des trous dans les nanofils étudiés avant et après traitement de surface. e) mobilité des porteurs après un second traitement de surface.

Après cette étude de nombreuses équipes se sont penchées sur les propriétés électriques des nanofils. Nous pouvons citer entre autres les groupes de Appenzeller J. [23], Mayer T. [24] ou Gösele U. [25]. Tous ces travaux ont permis de mettre en lumière les propriétés de transport dans les nanofils de silicium. Cependant de tels dispositifs ne sont adaptés qu'à l'étude physique des nanofils. Il n'est en aucun cas envisageable de réaliser des dispositifs à grande échelle en utilisant cette approche pour la simple raison qu'il est très compliqué de localiser précisément les structures de manière industrielle. Ce type d'approche a ensuite été largement employée afin d'étudier toute sortes de nanofils [26, 27, 28, 29, 30] ou nanotubes [31, 32].

1.6.3.2 Transistors verticaux

Afin de se concentrer sur notre thématique d'intégration en back-end nous n'aborderons pas les dispositifs réalisés à partir de nanofils obtenus par voie descendante qui ont été développés dans le but d'augmenter la densité d'intégration dans les étapes front-end [33, 34, 35, 36]. Seuls les nanofils obtenus par voie ascendante étant judicieux pour notre application nous nous focaliserons sur les travaux les concernant. Les premiers du genre sont rapportés par Ng et al [37] en 2004. Il utilisèrent des nanofils ZnO verticaux pour réaliser les premiers transistors verticaux présentés sur la figure 1.27.

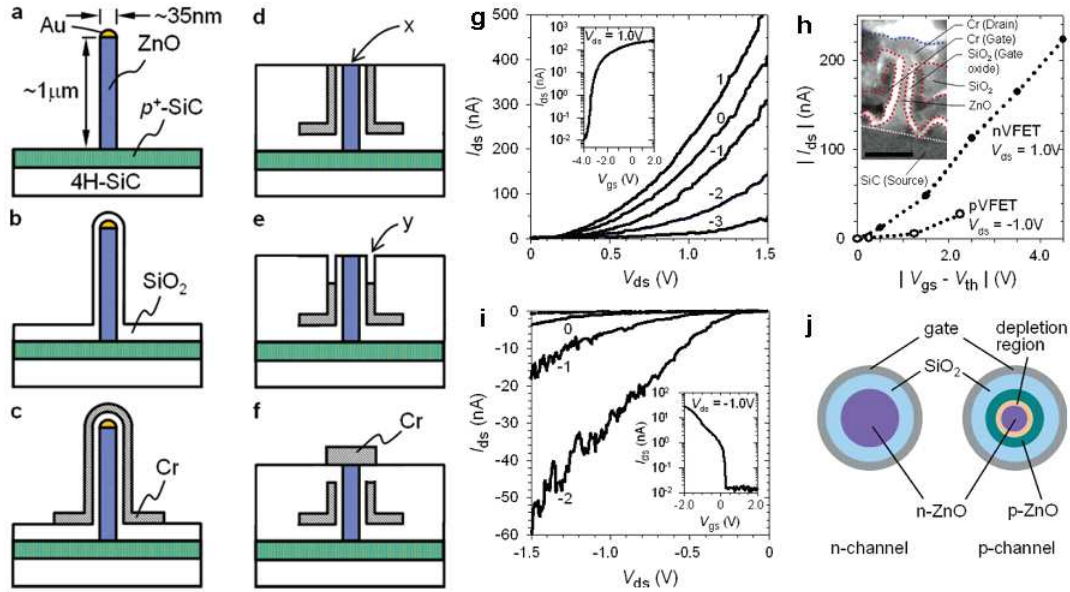


FIGURE 1.27 – a)-f) Procédé technologique pour la réalisation d'un transistor vertical utilisant un nanofil ZnO comme canal de conduction. g) Caractéristique $I_{DS} - V_{DS}$ d'un transistor à nanofil ZnO de type n, en insert la caractéristique $I_{DS} - V_{GS}$. h) caractéristique I_{DS} vs $V_{GS} - V_{TH}$ pour les deux types de transistors avec en insert une image MEB de la coupe d'un transistor vertical. i) Caractéristique $I_{DS} - V_{DS}$ d'un transistor à nanofil ZnO de type p, en insert la caractéristique $I_{DS} - V_{GS}$. j) Schéma d'une coupe des nanofils pour chaque type de transistor.

Cette première réalisation fut suivie en 2006 par la démonstration d'un transistor vertical à nanofil Si par deux équipes en même temps. D'un côté Goldberger et al [38] dont le dispositif est présenté en figure 1.28 a) à d) et de l'autre Schmidt et al [39] avec le dispositif représenté sur la figure 1.29 a) et b). Les deux papiers montrent des dispositifs similaires avec une nette supériorité du point de vue des performances de l'équipe de Goldberger (fig 1.28 a), b), c)). Ces derniers ont d'ailleurs pu réaliser un inverseur en utilisant leurs transistors montés en série avec une résistance (fig 1.28 d)).

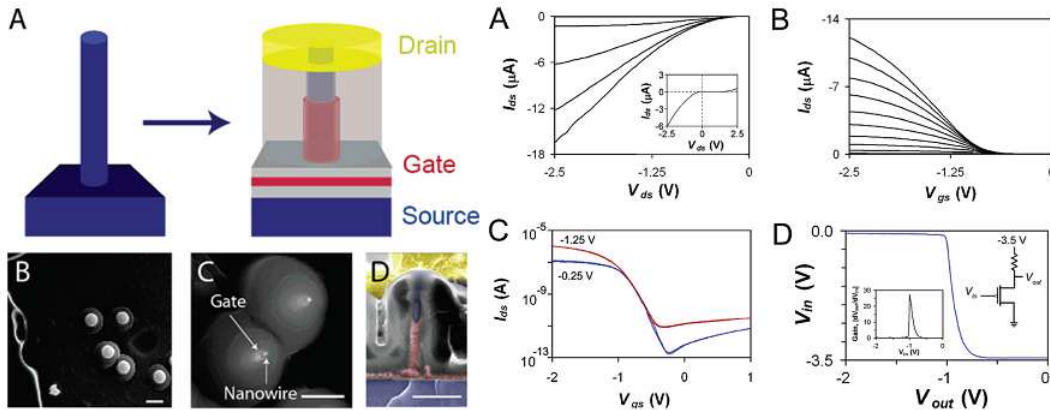


FIGURE 1.28 – à gauche a) Schéma de principe d'un transistor vertical à nanofil Si. b) Image MEB des nanofils encapsulés dans de l'oxyde PECVD. c) Image MEB de nanofils étêtés par polissage. d) Image MEB colorisée d'une coupe d'un transistor vertical. à droite a) caractéristique $I_{DS} - V_{DS}$ d'un transistor vertical. b) Caractéristique $I_{DS} - V_{GS}$ du même transistor donnée en échelle logarithmique (c). d) Caractéristique de transfert d'un inverseur réalisé à l'aide d'un transistor vertical.

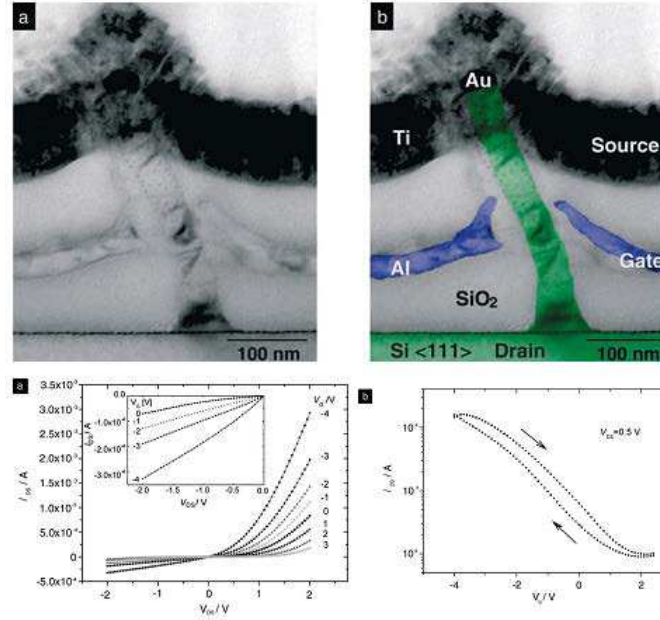


FIGURE 1.29 – en haut a) et b) Images MEB originale et colorisée d’une coupe FIB d’un transistor vertical à nanofil Si. en bas a) caractéristique $I_{DS} - V_{DS}$ du transistor. b) Caractéristique $I_{DS} - V_{GS}$.

Au-delà des performances électriques qui seront discutées dans le chapitre 3, nous constatons que les deux travaux rapportent l’utilisation du substrat comme contact de source (ou de drain). Pour cela le substrat utilisé est dégénéré. Ces deux publications ont permis de montrer la faisabilité d’intégrer des nanofils Si crus par CVD. Une autre équipe s’est nettement détachée du lot en réalisant de belles avancées mais en utilisant des matériaux III-V au lieu du silicium. Ces matériaux prometteurs pour le futur de la nanoélectronique, particulièrement du point de vue des mobilités des porteurs qui peuvent être de l’ordre de $30000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, présentent également quelques avantages en ce qui concerne la réalisation de dispositifs comme l’absence d’oxyde natif ce qui facilite la reprise de contacts. Le revers de la médaille est la nécessité de recourir à des oxydes de grille déposés par ALD par exemple et donc demandent un bon contrôle des états d’interface. L’équipe de L. Samuelson à l’université de Lund a très largement développée l’intégration verticale de nanofils obtenus en voie ascendante [40, 41] et nous permettent ainsi d’évaluer la méthodologie à adopter pour de telles réalisations. Les premiers résultats qui ont été présentés avaient trait à l’obtention de haute mobilité dans des nanofils InAs comme présenté dans la figure 1.30. De cette manière des mobilités d’environ $10000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ont été estimées. Le matériau utilisé pour les nanofils n’étant pas le même que le notre ce qui est intéressant ici est plutôt le mode opératoire de fabrication. La réalisation d’un contact de drain surélevé comme présenté sur la figure 1.30 a) demeure cependant relativement complexe. Pour cette raison nous réaliserons un contact supérieur plan et nous reprendrons de cette étude la méthode de fabrication de la grille enrobante qui consiste à définir la hauteur de grille à l’aide d’une résine photosensible puis à graver le métal de grille dans un bain chimique.

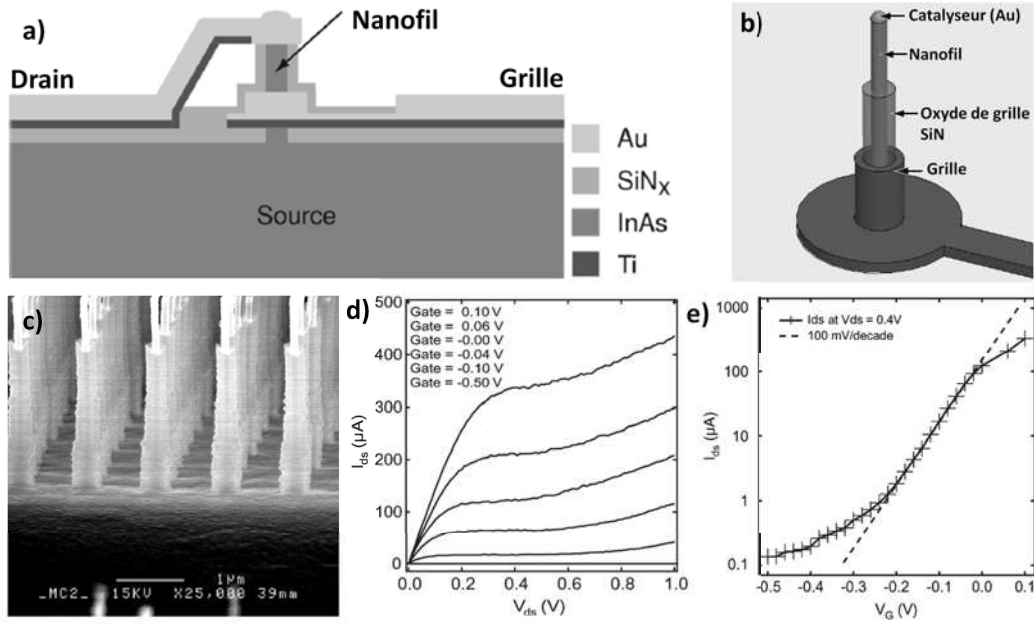


FIGURE 1.30 – a) et b) Schémas de l'architecture d'un transistor vertical à nanofil InAs. c) Image MEB après définition de la grille métallique et gravure de l'oxyde de grille. d) Caractéristique $I_{DS} - V_{DS}$ pour différentes tensions de grille et e) $I_{DS} - V_{GS}$ à $V_{DS}=0,4V$ d'un transistor vertical.

1.6.3.3 Siliciuration des contacts

De manière générale les nanofils ont été utilisés comme SBFET pour plusieurs raisons. Tout d'abord la réalisation de ces dispositifs est beaucoup plus simple car ils ne nécessitent aucun dopage des contacts. De plus, et c'est certainement le point le plus intéressant, le silicium présente la particularité de pouvoir être allié avec un certain nombre de métaux donnant lieu à ce que l'on appelle des siliciures. Un siliciure est un alliage de type Si_xM_y avec M tout métal pouvant former une phase cristalline stable avec le silicium. Ce type de métalloïde est très largement utilisé dans le domaine de la microélectronique afin de réaliser les contacts de source et de drain des MOSFET. Cela permet notamment d'avoir un très bon contact entre la poche dopée de semi-conducteur et le métal qui sert de contact. Plusieurs matériaux présentent cette propriété de former des phases solides stables avec le silicium comme le titane, le platine, l'erbium ou même le nickel. La formation de ces siliciures nécessite un recuit thermique à des températures fonction de l'alliage et de la phase cristalline souhaitée comme le montre le tableau 1.3.

TABLE 1.3 – Hauteur de barrière de différents siliciures sur du silicium type n. Pour chaque système la hauteur de barrière donnée correspond à la plus forte valeur rapportée dans la littérature. d’après [7].

Siliciure	Φ_{Bn} (V)	Structure	Température de formation (°C)	Température de fusion (°C)
CoSi	0,68	Cubique	400	1460
CoSi ₂	0,64	Cubique	450	1326
CrSi ₂	0,57	Hexagonale	450	1475
MnSi	0,76	Cubique	400	1275
Ni ₂ Si	0,75	Orthorhombique	200	1318
NiSi	0,75	Orthorhombique	400	992
NiSi ₂	0,66	Cubique	800	993
Pd ₂ Si	0,75	Hexagonale	200	1330
PtSi	0,87	Orthorhombique	300	1229
RhSi	0,74	Cubique	300	
TiSi ₂	0,60	Orthorhombique	650	1540

Dans le cas d’un transistor Schottky, l’utilisation d’un procédé de siliciuration a pour effet :

1. De diminuer la résistance du contact en abaissant la hauteur de la barrière Schottky..
2. De repousser l’interface d’injection des porteurs dans le nanofil permettant ainsi de contrôler la surface du contact qui ne sera rien d’autre que celle de la section du nanofil.

La siliciuration des nanofils de silicium a également été très étudiée dans le but d’optimiser les contacts des SBFET. Divers matériaux ont été utilisés comme le platine, le titane, l’erbium ou le nickel. Nous allons rapidement faire un état des travaux réalisés dans ce domaine.

1.6.3.4 État de l’art de la siliciuration des nanofils de silicium

Deux grands types de travaux se distinguent en général. D’une part l’étude cinétique et cristallographique de la siliciuration des nanofils. Ce type d’étude est complexe en ce sens où l’évaluation des phases cristallines présentes lors de la siliciuration nécessite de fabriquer des dispositifs sur membrane afin de pouvoir réaliser les mesures sous un TEM. D’autre part les études électriques qui se concentrent sur une condition de siliciuration donnée optimale mais qui n’étudient pas l’influence des paramètres du recuit sur les performances électriques des dispositifs. Très peu de travaux se concentrent sur les deux aspects en même temps à savoir l’influence du procédé de siliciuration sur les performances électriques des SBFET. Les seuls papiers ayant traité ce sujet sont les deux suivants :

- Appenzeller et al [23] ont réalisé des transistors planaires à double grille, une grille arrière et une grille avant, dont les contacts ont été siliciurés. Ils mettent tout d’abord en avant la cinétique de la siliciuration (fig 1.31 c) et d)) en reliant la longueur du siliciure formé au diamètre du nanofil. Ils constatent que la longueur de siliciure obtenue est inversement proportionnelle au rayon, t_{Si} , du nanofil. Plus important, cette longueur de siliciure est également fonction de l’inverse du rayon au carré du nanofil. La siliciuration est donc clairement un effet de volume et non de surface. L’impact sur les performances électriques des dispositifs est également étudié.

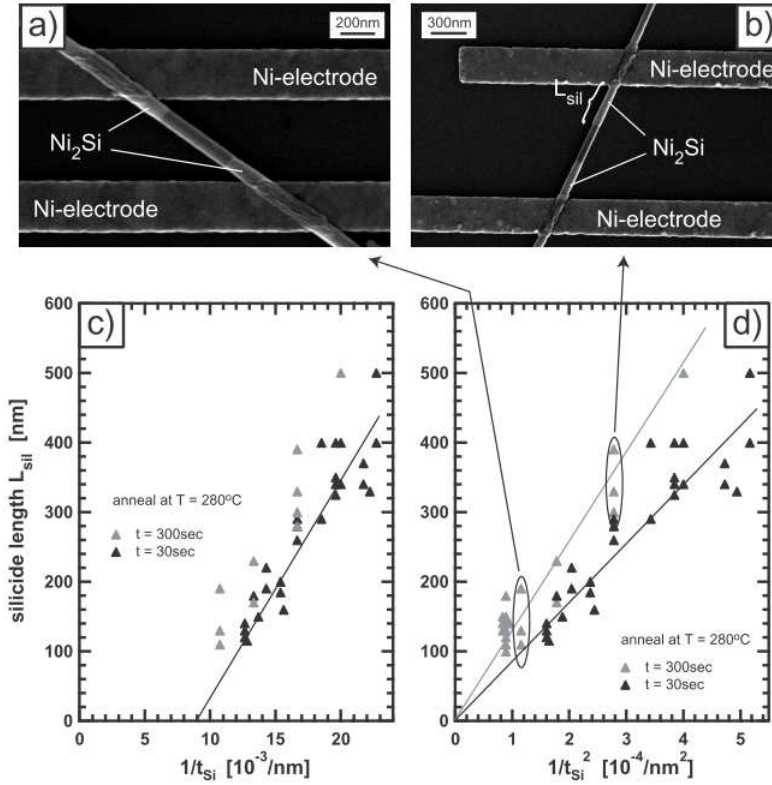


FIGURE 1.31 – Figures extraites de [23]. a) et b) Images MEB de nanofils de 60 nm et 90 nm de diamètre respectivement avec propagation du siliciure. c) et d) Longueur de siliciure L_{sil} obtenue pour un recuit à 280 °C pour deux temps différents en fonction de $1/t_{Si}$ et de $1/t_{Si}^2$ respectivement.

L'impact de la siliciuration est clairement vu sur la figure 1.32 a). Le courant à l'état ouvert augmente sensiblement par rapport au dispositif sans recuit. L'utilisation de deux grilles permet également de mettre en avant un comportement unipolaire lorsque la polarisation est faite sur la grille avant et un comportement bipolaire lorsque c'est la grille arrière qui contrôle le canal. Dans la suite cette étude servira de comparatif à nos travaux.

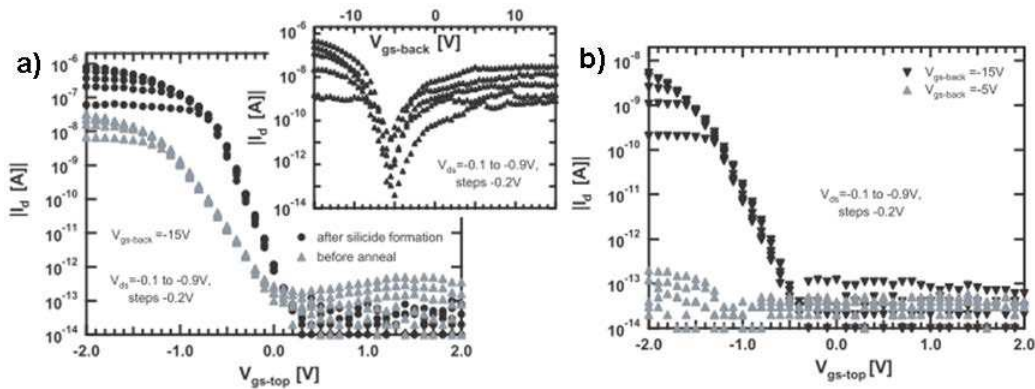


FIGURE 1.32 – a) caractéristique électrique $I_{DS} - V_{GS}$ avant et après siliciuration d'un transistor à nanofil à grille avant. L'insert montre la même caractéristique mais avec un contrôle en grille arrière. b) Caractéristique $I_{DS} - V_{GS}$ du même transistor en contrôle grille avant pour deux tensions de grille arrière.

– Une autre étude menée par Byon et al [42] a également mis en évidence l'influence de la siliciuration

des contacts sur le comportement de transistors à nanofils Si. L'approche est cependant différente de précédemment. Cette équipe a choisi de recuire à plusieurs températures le même dispositif. Le recuit se compose toujours de deux étapes. Une première (T1) à 200 °C dure 2 minutes et sert à évaporer les solvants et résidus du lift-off. La deuxième étape (T2) à plus haute température varie entre 250°C et 600°C. Les recuits vont des basses aux hautes températures. Le dispositif est caractérisé entre chaque recuit. Les résultats obtenus sont présentés dans la figure 1.33 .

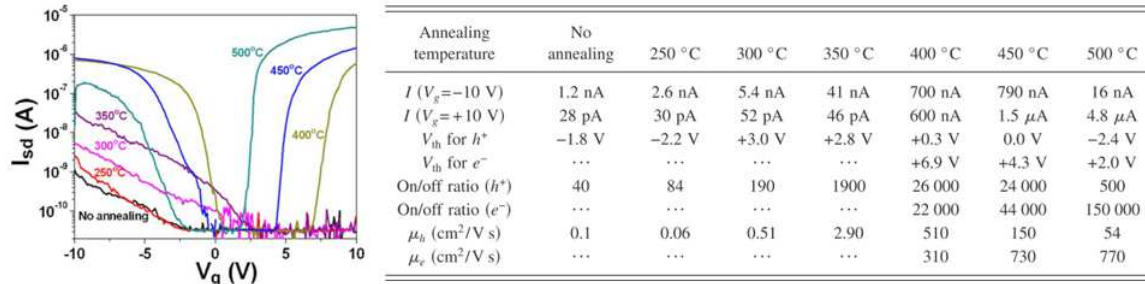


FIGURE 1.33 – Caractéristique $I_{DS} - V_{GS}$ d'un dispositif avant et après plusieurs recuits pour des températures allant de 250°C à 500°C. Le tableau compile les valeurs caractéristiques du transistor en fonction de la température de recuit. d'après [42]

Un phénomène mis en évidence est la transition d'une caractéristique unipolaire à bipolaire lorsque le recuit atteint les 400°C ou plus. Les auteurs interprètent ceci comme une amélioration des contacts qui induit une faible barrière Schottky pour les porteurs majoritaires et minoritaires. Ainsi les deux types de porteurs peuvent franchir la barrière Schottky du drain ou de la source. On constate également sur la figure 1.33 que c'est à partir de cette température que les caractéristiques électriques deviennent intéressantes tant au niveau des rapports de courants I_{ON}/I_{OFF} qu'en termes de mobilité apparente des porteurs. La progression du siliciure dans le nanofil n'est pas explicitement définie mais les auteurs rapportent que le recuit à 200 °C permet, au delà des phénomènes de dégazage et nettoyage de la surface, de bloquer la progression du siliciure. Les auteurs constatent également qu'au delà de 500 °C les performances électriques se dégradent considérablement et attribuent ce comportement à une rupture du contact électrique au niveau des contacts.

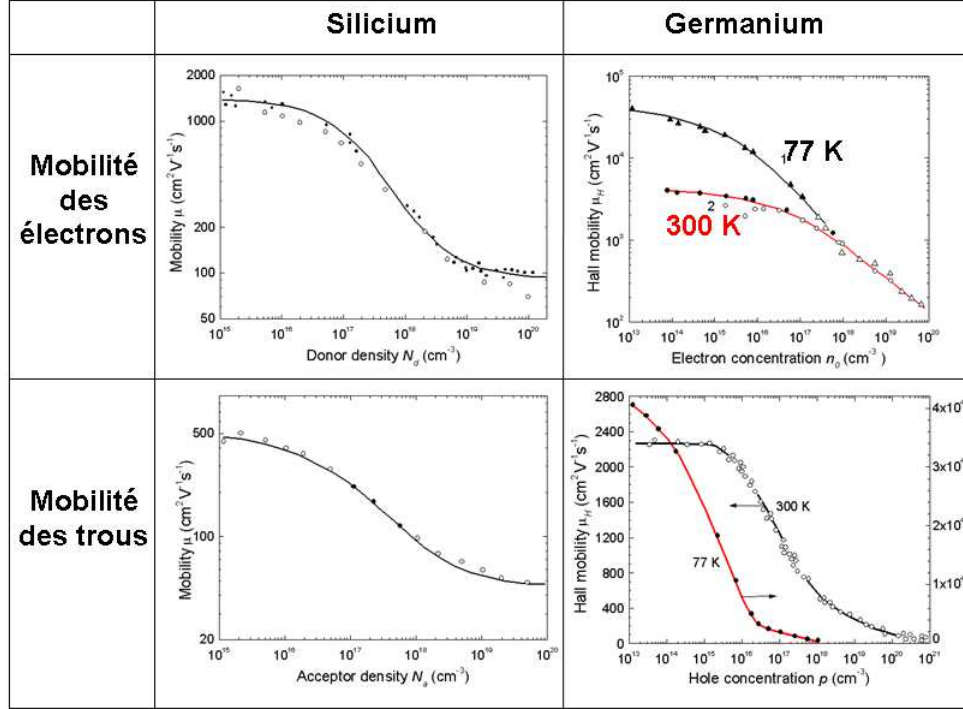
1.6.4 L'alliage Si_xGe_{1-x}

1.6.4.1 Propriétés et intérêt

Nous avons jusqu'à présent présenté des travaux relatifs aux nanofils de silicium. La machine d'élaboration dont nous disposons pour réaliser nos nanofils est équipée d'une ligne de gaz germane (GeH_4). Ceci peut nous permettre de synthétiser des nanofils germanium et/ou SiGe. Quel peut-être l'intérêt d'utiliser un alliage SiGe en lieu et place du silicium pur ou du germanium pur ? Nous allons tenter d'apporter quelques réponses à l'utilité d'utiliser des nanofils SiGe comme canaux de conduction dans des transistors et plus spécialement quel intérêt nous pouvons avoir à les utiliser en vue d'une compatibilité back-end.

Comme nous l'avons dit précédemment, le premier transistor réalisé en 1947 utilisait un barreau de germanium comme matériau semi-conducteur. La raison de ce choix réside dans les propriétés électroniques du germanium. En effet, les porteurs sont beaucoup plus mobiles dans le germanium que dans le silicium. Ceci en fait donc un candidat de choix pour la réalisation de dispositifs électroniques rapides. Les abaques suivantes (tableau 1.4) permettent de donner un aperçu de la différence entre les mobilités des divers porteurs de charge dans les deux types de matériaux.

TABLE 1.4 – Mobilités des électrons et des trous pour le Silicium (T=300K) et le Germanium massifs d’après [43].



La variation peut aller sur plusieurs ordres de grandeurs. Pourquoi le germanium n’est-il donc pas utilisé dans les technologies CMOS actuelles? Une des raisons est la grande difficulté à maîtriser l’interface entre ce semi-conducteur et l’oxyde de grille. L’oxyde naturel du germanium est le GeO_2 . Il est de mauvaise qualité diélectrique et est facilement gravable dans l’eau ce qui pose de nombreux problèmes pour la réalisation de dispositifs. Un moyen de combiner ses bonnes propriétés électroniques avec les propriétés chimiques du silicium est de réaliser un alliage SiGe. Cet alliage très répandu dans le domaine de la microélectronique est particulièrement utilisé afin de contraindre le canal des CMOS, en raison de leur différence de paramètre de maille avec Si, et ainsi de moduler la mobilité des porteurs.

Un autre point est que le germanium a une bande interdite ($\sim 0,66$ eV) plus petite que le silicium ($\sim 1,12$ eV). Ceci induit donc que l’injection des porteurs dans un SBFET à base de germanium est favorisée en raison de la plus petite hauteur de barrière Schottky. Cela aura donc pour effet d’augmenter la valeur du courant à l’état passant et donc d’augmenter la valeur du rapport I_{ON}/I_{OFF} . Il est également possible de moduler la valeur de la bande interdite du SiGe en modulant sa teneur en germanium.

Il s’avère de plus que ce matériau n’a été que très peu étudié sous forme de nanofils [44, 45, 46, 47, 48, 49, 50]. Il a été majoritairement utilisé comme couche passivation pour des nanofils Ge. Nous allons présenter les travaux de recherche effectués sur les nanofils SiGe. Ces mêmes travaux nous serviront plus tard de comparatifs à nos propres expériences et nous permettront de confronter nos résultats.

1.6.4.2 État de l’art

Nous nous concentrerons ici sur les résultats concernant la réalisation de SBFET à nanofils SiGe.

La première publication concernant les SBFET à nanofils SiGe est celle de Qi et al [45]. Les auteurs exposent leur méthode de croissance VLS et montrent la possibilité de faire varier la teneur en germanium des nanofils

en jouant sur les flux de gaz précurseurs. Ils réalisent au passage le premier dispositif à nanofil SiGe non intentionnellement dopé. On constate d'ailleurs que le dopage intrinsèque est de type n grâce aux mesures sous champ (fig 1.34). Ces résultats sont encourageants car la mobilité apparente des électrons est estimée à $240 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ce qui est une très bonne valeur pour un dispositif non optimisé. Après ces premiers travaux une autre équipe s'est intéressé au dopage des nanofils SiGe.

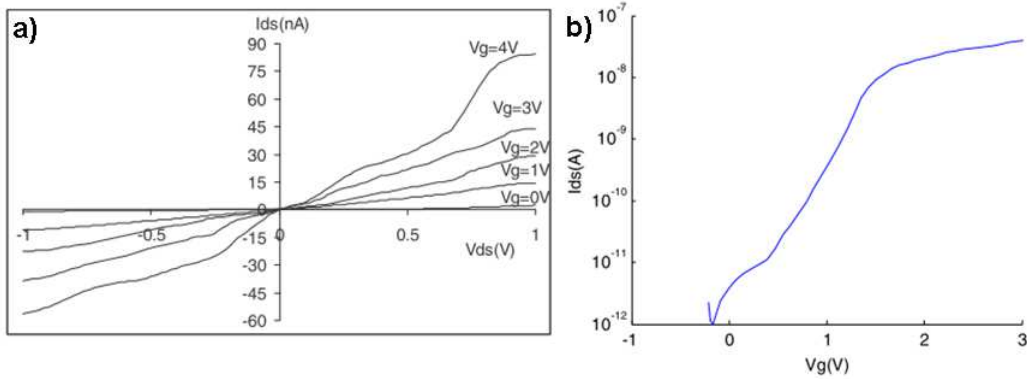


FIGURE 1.34 – Caractéristiques électriques d'un transistor à grille arrière à nanofil SiGe a) caractéristique $I_{DS} - V_{DS}$ pour plusieurs tensions de grille arrière. b) caractéristique $I_{DS} - V_{GS}$ à $V_{DS} = 1$ V. d'après [45]

Les premiers travaux concernant le dopage de ce matériau ont été rapportés par Kim et [44]. Les nanofils ont été élaborés par VLS-CVD. La teneur en germanium a été mesurée par EDX. La force de ce travail réside dans la réalisation de SBFET à canal p et n en introduisant des gaz dopants dans la chambre de croissance (fig1.35). Bien que les caractéristiques ne soient pas optimum tant du point de vue des mobilités des porteurs que des rapports de courants I_{ON}/I_{OFF} , dont nous discuterons dans le chapitre 2, ce travail marque la première réalisation de dispositifs à effet de champ à nanofils SiGe dopés.

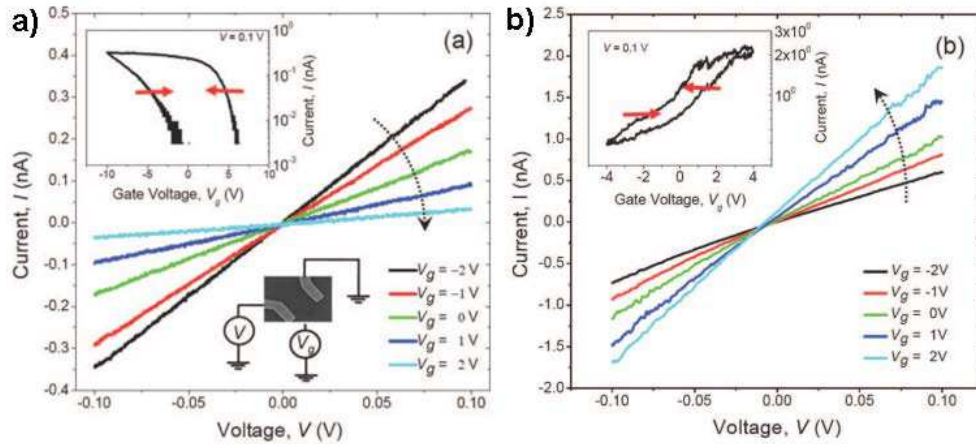


FIGURE 1.35 – Caractéristiques $I_{DS} - V_{DS}$ de nanofils $\text{Si}_{0.5}\text{Ge}_{0.5}$ dopés a) au bore et b) au phosphore. En inserts sont reportées les caractéristiques $I_{DS} - V_{GS}$ montrant l'effet de champ.

Suite à cette publication d'autres travaux ont été réalisés sur ce matériau avec notamment ceux de Whang et al [46]. La synthèse est également obtenue par CVD suivant le mécanisme VLS (fig 1.36 a)). La croissance des nanofils est cependant moins bonne. Les dispositifs réalisés par contre montrent un meilleur comportement électrique. La pente sous le seuil avoisine les 90 mV/décade et le rapport des courants I_{ON}/I_{OFF} est de

l'ordre de 10^4 (fig 1.36 c)). Le courant à l'état passant n'est cependant pas très important. La mobilité n'a pas été estimée dans ces travaux.

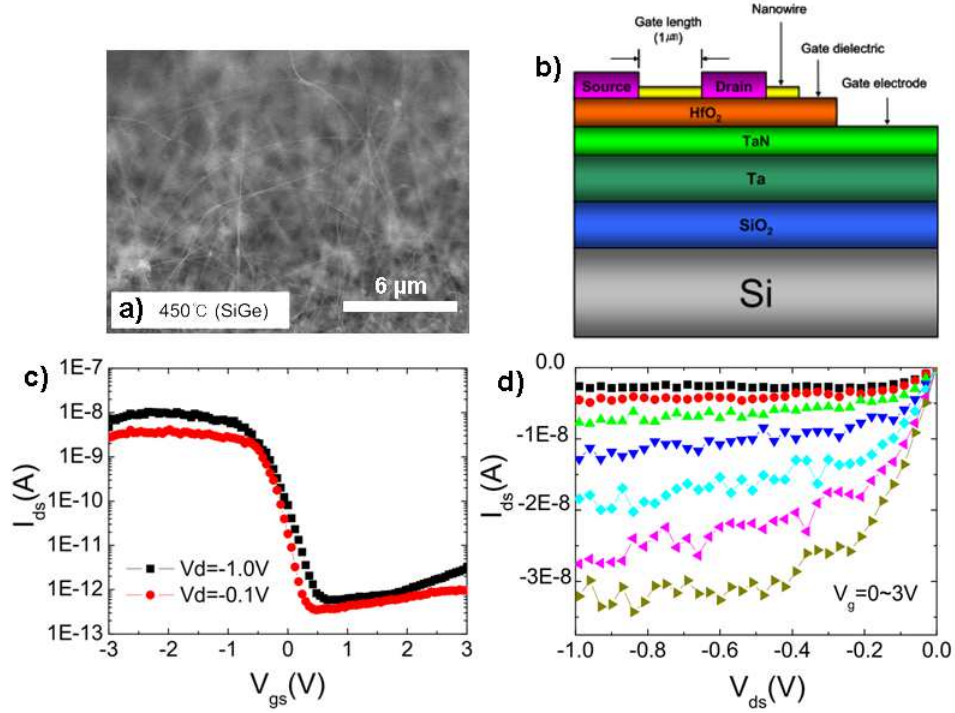


FIGURE 1.36 – a) Image MEB de nanofil synthétisés par VLS-CVD à 450°C. b) schéma de principe d'un transistor planaire à nanofil à grille arrière. c) Caractéristique $I_{DS} - V_{GS}$ et d) $I_{DS} - V_{DS}$ d'un transistor à nanofil SiGe.

Ces trois papiers sont les seuls faisant état de l'élaboration de nanofils SiGe et de leur utilisation en tant que transistors à effet de champ. Aucune publication ne rapporte la fabrication de transistors verticaux utilisant des nanofils SiGe VLS. Nous détaillerons un peu plus la littérature en comparant nos résultats dans le chapitre 2.

Nous verrons également que l'élaboration à basse température de nanofils SiGe est plus facile que celle de nanofils Si ce qui confère également un avantage à ce matériau en vue d'une intégration back-end.

1.7 Objectifs de la thèse

Nous avons présenté l'état de l'art concernant la réalisation de dispositifs à nanofils. Deux grandes structures ressortent : les transistors planaires et les transistors verticaux. Les nanofils présentent un potentiel en terme d'intégration dans les circuits intégrés notamment lorsqu'ils obtenus par catalyse VLS. Cette dernière permet en effet d'élaborer ces structures à des températures relativement basses et, en théorie, sur n'importe quel type de substrat. De plus la structure cylindrique des nanofils permet d'élaborer une grille parfaitement enrobante conférant ainsi un meilleur contrôle électrostatique qu'une grille planaire traditionnelle. Si l'on considère également la problématique de l'encombrement des dispositifs on remarque facilement qu'utiliser des nanofils dans leur position verticale permettrait de considérablement diminuer la surface utile et ainsi permettrait d'augmenter la densité de composants.

Nous proposons donc de développer un protocole expérimental ainsi que les procédés de fabrication associés

permettant de réaliser des transistors à canal nanofil verticaux avec les restrictions imposées par les étapes back-end des circuits intégrés.

1.7.1 Objectifs principaux

Le but fixé est de démontrer la possibilité d'utiliser des nanofils semi-conducteurs comme canaux de conduction dans des transistors verticaux pour les étapes back-end des circuits intégrés. Nous pouvons donc découper cet objectif en plusieurs point précis qui sont :

1. Évaluer et caractériser les performances électriques des nanofils semi-conducteurs élaborés au sein du laboratoire.
2. Mettre en place un procédé d'intégration 3D de nanofils semi-conducteurs pour la réalisation de transistors verticaux.
3. Caractériser les transistors verticaux afin de réaliser une rétroaction sur le procédé de fabrication en vue de son amélioration.
4. Démontrer la possibilité de synthétiser des nanofils semi-conducteurs avec les restrictions imposées par les étapes back-end.

Ces quatre objectifs majeurs peuvent être réalisés en parallèle, excepté pour les points 2 et 3, et cela permettra donc une plus grande efficacité. Nous allons présenter notre stratégie en termes de réalisation de dispositifs.

1.7.1.1 Évaluation des performances des nanofils

Le but premier est d'évaluer les propriétés de transport dans les nanofils qui seront synthétisés. Il faudra notamment estimer les performances auxquelles nous pourrions nous attendre en terme de mobilité, rapport de courants I_{ON}/I_{OFF} , pente sous le seuil et tension seuil. L'optimisation des performances électriques passera par la mise en place d'un procédé de siliciuration des contacts à l'aide d'un four de recuit rapide à lampes infrarouges. Nous chercherons des valeurs que nous pourrions ensuite comparer aux dispositifs verticaux réalisés. Nous choisissons de réaliser toutes ces mesures à l'aide de transistors planaires. Cette méthode d'intégration relativement simple nécessite peu d'étapes de fabrication et permet également de réaliser rapidement un grand nombre de dispositifs. Elle est donc adaptée à des mesures systématiques. Ceci nous permet également d'être indépendant du procédé d'intégration 3D. Nous retrouverons donc le schéma suivant dans l'étude des comportements électriques des nanofils en configuration planaire :

1. Etude des fils bruts de croissance.
2. Étude de la siliciuration des nanofils. Mise en évidence de la cinétique de siliciuration et étude de l'impact sur les performances électriques des dispositifs réalisés.
3. Etude de l'influence d'un oxyde thermique enrobant les nanofils.
4. Réalisation et caractérisation de nanofils planaires possédant une grille enrobante et donc comparables avec les transistors verticaux.

Nous avons vu que les nanofils pouvaient être siliciurés afin de diminuer la hauteur de barrière Schottky des contacts et donc de favoriser l'injection des porteurs. Nous allons d'ores et déjà choisir le matériau le plus adapté à la réalisation des contacts.

1.7.1.2 Choix du métal de contact

Nous décidons de nous orienter d'office vers un matériau compatible avec le domaine de la microélectronique. Pour cela, ce matériau doit si possible être déjà utilisé dans les procédés actuels et ne pas être déraisonnablement trop cher. Ainsi le palladium, le platine et le rhodium sont exclus à cause de leur prix. Le manganèse n'étant pas couramment utilisé et non disponible sur nos machines de dépôt il est aussi à exclure. Le titane peut également être retiré de la compétition en raison de la température élevée de formation de son siliciure comme présenté sur le tableau 1.3. Restent alors le chrome, le cobalt et le nickel. Le choix s'oriente sur le nickel qui est un matériau déjà largement utilisé en microélectronique afin de réaliser les contacts de source et de drain des MOSFETs dans le front-end. Ce matériau est facilement accessible dans nos machines et ne pose pas de problème de contamination. D'autres équipes ont déjà envisagé son application comme métal de contact. Nous allons donc voir ce qui a pu se faire en terme de recherches sur la siliciuration des nanofils de silicium par le nickel.

Après le choix du métal de contact se pose la problématique de l'oxyde de grille. Deux options sont alors disponibles, un oxyde thermique ou un oxyde obtenu par dépôt chimique en phase vapeur.

1.7.1.3 Choix du diélectrique de grille

Le diélectrique de grille peut dans notre cas être formé par deux méthodes distinctes, soit une oxydation thermique soit un dépôt par couche atomique (ALD). La première méthode a l'avantage de former un oxyde de très bonne qualité diélectrique et l'équipement utilisé pour le réaliser qui est un four de recuit rapide permet d'effectuer cette étape en 15 min. La deuxième méthode permet de déposer un oxyde de forte permittivité diélectrique tels que l' Al_2O_3 ou le HfO_2 . Comme les deux machines sont disponibles nous étudierons les deux méthodes de dépôt cependant une différence notable est à prendre en compte. L'oxydation thermique nécessite des températures d'au moins 800 °C alors que le dépôt ALD ne dépasse pas les 250°C. En vue d'une compatibilité future avec les étapes back-end de la microélectronique nous comprenons bien que l'oxyde ALD est le seul à pouvoir être utilisé en raison du budget thermique. Malgré tout, la qualité diélectrique d'un oxyde ALD est complexe à maîtriser et les recettes de ce type de dépôt n'étant pas optimisées nous utiliserons l'oxyde thermique afin de pouvoir fabriquer un démonstrateur dans le but de valider notre schéma d'intégration verticale. Nous allons d'ailleurs maintenant présenter les objectifs concernant cette intégration 3D.

1.7.1.4 Intégration 3D

Le second objectif consiste à développer un procédé d'intégration 3D des nanofils. Si l'on souhaite démontrer la faisabilité d'intégration de ces nanostructures dans les étapes back-end il est nécessaire d'avoir un procédé technologique nous permettant de les utiliser comme transistors. Nous décidons alors de découpler deux aspects. D'une part l'intégration 3D et d'autre part la compatibilité du procédé avec le back-end. De cette manière le développement du procédé d'intégration ne sera pas dépendant de la réussite ou non de la mise en place d'une méthode d'élaboration des nanofils compatible back-end. Les transistors verticaux élaborés ne respecteront donc pas les contraintes back-end car nous utiliserons des substrats cristallins sur lesquels la croissance des nanofils est bien maîtrisée, de ce fait nous retirons le paramètre croissance comme un obstacle possible à la réalisation des dispositifs. De plus comme nous l'avons expliqué pour le choix du diélectrique de grille, des raisons pratiques font que nous choisirons par défaut un oxyde thermique également incompatible avec le respect du budget thermique dans le back-end. Enfin nous tenterons de mettre en place une stratégie

d'élaboration de nanofils à basse température et sur substrat non cristallin.

1.8 Conclusion

Nous avons expliqué dans ce chapitre le principe de fonctionnement de la brique de base qu'est le transistor à effet de champ. Nous avons également exposé la méthode de fabrication d'un circuit intégré. De ces deux exposés nous avons détaillé les voies utilisées afin d'augmenter la puissance des circuits intégrés et les limitations auxquelles la microélectronique est confrontée. Nous avons donc suggéré de démontrer la possibilité de réaliser des dispositifs actifs, c'est-à-dire des transistors, dans les niveaux d'interconnexions des circuits intégrés afin de pouvoir ajouter des fonctionnalités sans avoir à recourir aux méthodes complexes de collage de puces. Pour cela l'étude se découpera en trois temps chacun représenté par un chapitre qui lui sera dédié.

Nous caractériserons dans un premier temps les propriétés électriques des nanofils Si et SiGe afin de donner un ordre de grandeur des valeurs typiques que nous pouvons attendre de SBFETs à nanofils. Pour cela nous présenterons la réalisation et la caractérisation de SBFET planaires à nanofils. Nous étudierons l'impact de l'optimisation des contacts à travers un procédé de siliciuration. Nous comparerons les résultats obtenus à ceux présentés précédemment dans la littérature scientifique.

Dans un deuxième temps nous détaillerons le développement du procédé d'intégration 3D en vue d'utiliser les nanofils en position verticale. Nous examinerons les points bloquants et les solutions apportées afin de palier à ces problèmes. Afin de faciliter ce développement nous utiliserons des nanofils synthétisés sur substrat cristallin ce qui garantira une croissance verticale des nanostructures. Nous caractériserons ensuite électriquement les dispositifs réalisés et présenterons entre autres les premiers dispositifs réalisés à base de nanofils SiGe.

Enfin le dernier chapitre sera consacré à la mise en place d'un procédé compatible back end tant du point de vue de la croissance à basse température que de l'intégration. Nous montrerons les premiers dispositifs réalisés ainsi que leur caractéristiques électriques. Nous mettrons en avant les verrous technologiques à lever pour garantir une intégration 3D compatible et viable.

Chapitre 2

Propriétés électriques des nanofils Si

2.1 Introduction

Avant de réaliser des transistors verticaux à nanofils il est important de caractériser les fils eux-mêmes. La réalisation technologique de transistors verticaux étant relativement complexe et coûteuse en temps il est préférable de s'orienter vers une méthode permettant de réaliser des dispositifs à nanofils en grande quantité, rapidement et le plus simplement possible. Pour cela nous allons fabriquer et étudier des transistors à nanofils planaires. Nous allons présenter la méthode de fabrication de ces dispositifs puis le comportement électrique des nanofils. Ces transistors sont dédiés à explorer le comportement des nanofils lorsqu'ils sont utilisés comme canaux de conduction dans des FETs. Il ne s'agit ici en aucun cas de chercher à obtenir des comportements rivalisant avec les meilleurs dispositifs actuels mais simplement d'évaluer le potentiel en terme d'intégration de ces nanostructures. Cette évaluation des performances sera découpée en plusieurs étapes.

1. Nous commencerons par étudier le comportement électrique de nanofils Si bruts de croissance. Nous évaluerons la quantité d'impuretés dopantes présentes dans les nanofils à l'aide de mesures de résistivité.
2. Dans l'optique d'amélioration des performances nous étudierons la possibilité de siliciurer les nanofils en réalisant un traitement thermique des dispositifs avec pour but d'abaisser la hauteur de barrière Schottky de chaque contact. Nous nous intéresserons notamment à la cinétique de la siliciuration et à la reproductibilité du procédé.
3. Nous présenterons les caractéristiques électriques pouvant être obtenues dans des conditions optimales de recuit des contacts permettant ainsi d'obtenir des performances à l'état de l'art international.
4. Nous approfondirons ensuite l'étude du comportement hystérétique des nanofils obtenu lors du balayage en tension de grille. Nous proposerons une solution permettant de diminuer cette hystérésis en procédant à un dépôt de diélectrique sur les dispositifs.
5. Nous étudierons ensuite le comportement électrique de nanofils Si oxydés thermiquement. La réduction de l'hystérésis lors du balayage en tension de grille sera également discuté.
6. Un phénomène d'inversion du dopage des nanofils sera aussi mis en évidence et une étude approfondie nous permettra de déterminer l'origine physique de ce phénomène.
7. Dans un dernier temps nous exposerons les performances électriques de transistors à double grille destinés à évaluer plus précisément le potentiel des nanofils lors de leur utilisation en configuration de grille enrobante.

2.2 Élaboration des nanofils

2.2.1 Le réacteur

Les nanofils utilisés dans cette étude ont été obtenus par croissance en se basant sur le mécanisme VLS présenté dans le chapitre 1. La machine utilisée pour la croissance est de type RPCVD (Reduced Pressure Chemical Vapor Deposition) de marque EasyTubeTM3000 (Fig 2.1) commercialisée par FirstNano et permet d'obtenir une croissance sur des substrats de 100 mm. Les gaz précurseurs utilisés pour l'élaboration des nanofils sont le silane (SiH_4) pour la source de silicium et le germane (GeH_4) pour le germanium. Afin de doper les nanostructures cet équipement dispose également de lignes de diborane (B_2H_6) pour le dopage de type p (accepteur) et de phosphine (PH_3) pour le dopage de type n (donneur). Deux autres gaz sont également disponibles à savoir l'hydrogène (H_2) utilisé comme gaz porteur et le chlorure d'hydrogène (HCl) qui a pour rôle d'inhiber la diffusion de l'or à la surface des nanofils[51, 52, 53]. Ce réacteur est dit à parois chaudes car le système résistif englobe entièrement le tube de quartz dans lequel est réalisée le dépôt. Ainsi le porte-échantillons ainsi que les parois sont portés à haute température. Il est à opposer aux réacteurs à parois froides où seul le porte-échantillons est porté en température à l'aide le plus souvent d'un système d'induction. Nous verrons dans le chapitre suivant que ce type de chauffage résistif peut entraîner quelques problèmes quant à la pureté des matériaux élaborés.



FIGURE 2.1 – Photo du modèle EasyTubeTM 3000

2.2.2 Substrats et catalyseur

Comme dit précédemment, le réacteur accepte des substrats de toutes tailles jusqu'aux plaques de 100 mm de diamètre. Les substrats utilisés durant cette étude n'excèdent pas les 2 pouces soit 5 cm de diamètre. Les plaques de silicium utilisées durant cette étude sont multiples et dédiées chacune à un but bien précis. Leurs propriétés et applications sont résumées dans le tableau 2.1

TABLE 2.1 – Nature et applications des substrats utilisés

Taille	Matériau	Dopage : Concentration	Orientation	Application
10x10mm ²	Silicium	n : 10^{15}cm^{-3}	{111}	Transistors planaires
2 pouces	Silicium	n : $1-3 \cdot 10^{19}\text{cm}^{-3}$	{111}	Transistors verticaux
2 pouces	Silicium	p : $2-3 \cdot 10^{19}\text{cm}^{-3}$	{111}	Transistors verticaux

Comme la croissance est réalisée en utilisant le mécanisme VLS un catalyseur métallique doit être déposé à la surface des substrats. Dans notre cas il s'agit de l'or. Ce matériau a déjà été largement étudié aussi bien

par des équipes de par le monde qu'au sein de notre laboratoire. Nous discuterons ultérieurement de l'intérêt de changer ou non la nature du catalyseur. Nous présentons ici deux méthodes génériques de préparation permettant de réaliser un dépôt de catalyseur. La première méthode consiste à faire sédimenter une solution colloïdale d'or à la surface d'un substrat alors que la deuxième consiste à déposer par un procédé physique une couche mince d'or.

2.2.2.1 Catalyseur colloïdal

Avant tout dépôt du catalyseur les substrats sont nettoyés dans de l'acétone et mis aux ultrasons pendant 5 minutes après quoi nous les rinçons à l'isopropanol (IPA). Le substrat est ensuite désoxydé avec du HF 10%. Nous déposons finalement les colloïdes de taille voulue (50 ou 100 nm) selon la procédure suivante :

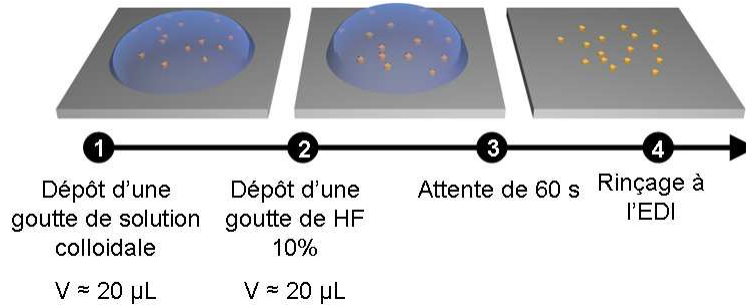


FIGURE 2.2 – Procédé de dépôt de colloïdes

Cette méthode permet d'obtenir une sédimentation quasi instantanée des colloïdes sur la surface du substrat. Ce phénomène est dû à la protonation des ions citrate entourant les colloïdes ainsi convertis en acide citrique[54, 55]. Il faut cependant ne pas dépasser 60 secondes d'attente après le dépôt de HF sans quoi les colloïdes s'agglomèrent de manière importante comme présenté par O'Reilly *et al*[56]. Si la densité de colloïdes présents sur le substrat doit être augmentée il est possible de procéder à de multiples dépôts de courte durée afin d'augmenter le nombre de colloïdes d'or sans pour autant provoquer leur agglomération.

2.2.2.2 Catalyseur couche mince

Si l'on souhaite obtenir une très forte densité de fils, des diamètres variés ou alors faire croître ces derniers dans des motifs obtenus par lithographie il est alors préférable de déposer le catalyseur par voie physique. Pour cela le substrat est nettoyé dans l'acétone et rincé à l'IPA. Puis sa surface est désoxydée dans un bain de HF 10%. Le catalyseur est ensuite déposé par évaporation par faisceau d'électrons. Cette méthode permet d'obtenir un film homogène sur toute la surface du substrat et également de définir des plots de catalyseur si une étape de lithographie a été réalisée.

2.2.3 Croissance

2.2.3.1 Nanofils Si :

Les nanostructures de silicium sont élaborées à 600°C. Le réacteur est d'abord chauffé à 600°C sous un flux d'hydrogène de 1400 sccm pour une pression de 3 Torr puis les gaz réactifs sont introduits pendant 7 minutes avec des débits de 40 sccm et 100 sccm pour le Silane et le HCl respectivement. Ces conditions correspondent à une cinétique de croissance d'environ 360 nm.min⁻¹ pour des colloïdes de 100 nm de diamètre.

2.2.3.2 Nanofils SiGe :

Les nanofils SiGe sont élaborés à 450°C. Le réacteur est chauffé à 650°C pendant 4 min pour provoquer le démouillage du catalyseur puis la croissance est effectuée à 450 °C à une pression de 4.5Torr sous des flux de germane et de silane de 90 sccm et un flux d'HCl de 40 sccm.

2.2.3.3 Remarques

Comme nous pouvons le constater les conditions de croissance ne sont en aucun cas compatibles avec une intégration back-end comme proposé initialement. Ces nanostructures sont en effet dédiées principalement à démontrer la faisabilité d'une intégration verticale. Nous aborderons dans le dernier chapitre de cette thèse les travaux en cours et les derniers résultats obtenus en vue de la compatibilité back-end.

Les étapes de préparation des échantillons et de croissance des nanofils étant expliquées nous allons désormais passer au descriptif des étapes technologiques mises en jeu afin de réaliser des dispositifs nanoélectroniques utilisant ces nanofils.

2.3 Réalisation de transistors à nanofils

2.3.1 Dispositifs planaires à grille arrière

Ces dispositifs sont utilisés pour étudier les phénomènes de transport dans les nanofils et plus particulièrement pour évaluer le taux de dopage de ces structures à l'aide de mesures quatre pointes. Leur réalisation est très simple et relativement rapide ce qui permet d'en réaliser un grand nombre avec un taux de réussite de l'ordre de 90%.

2.3.1.1 Dispersion des fils :

Afin de réaliser des transistors à nanofil planaires il faut dans un premier temps disperser les nanofils sur un substrat adéquat. Le substrat choisi est une plaque de silicium fortement dopé sur laquelle a été déposé une couche de nitrure de silicium de 200 nm. Cette couche de diélectrique servira d'oxyde de grille pour la grille arrière dont le contact sera directement pris sur le wafer. Le catalyseur présent au sommet des nanofils est tout d'abord retiré à l'aide de la séquence chimique suivante (Fig .2.3). La solution d'I₂:KI a été préalablement préparée à raison de : 10 g de diiode, 40 g d'iodure de potassium dans 250 ml d'eau déionisée.

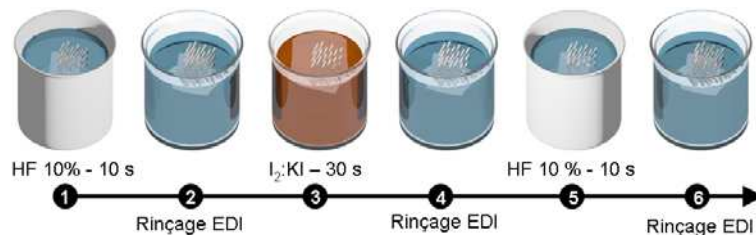


FIGURE 2.3 – Procédé chimique utilisé pour retirer l'or des nanofils

Le substrat supportant les nanofils est ensuite plongé dans une fiole contenant environ 2 mL d'IPA. Cette fiole est mise en sonication dans un bain à ultra-sons durant une vingtaine de secondes afin de désolidariser les nanofils de leur substrat. Un volume d'environ 10 µL est ensuite prélevé et déposé sur le substrat hôte

nitrué. La goutte est laissée à l'air pour séchage et une dernière étape de recuit de 5 s à 150°C permet d'éliminer toute trace d'IPA. De cette manière les nanofils sont dispersés de manière aléatoire à la surface du substrat (Fig.2.4).

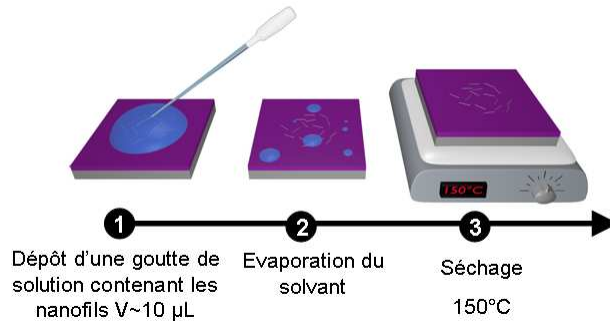


FIGURE 2.4 – Procédé de dispersion de nanofils sur un substrat

2.3.1.2 Réalisation des contacts Source/Drain :

Pour obtenir un transistor il est désormais nécessaire de réaliser les contacts de source et de drain aux deux extrémités d'un nanofil. Pour cela une couche de résine négative étalée à l'aide d'une tournette. Nous utilisons une résine Deep-UV de type MA-N 2410. L'étalement se fait à 6000 rpm pendant 30 s avec une accélération de 2000 rpm.s⁻¹. La résine est ensuite recuite à 90 °C pendant 2 min 30 s. Ces conditions seront définies comme étant le standard d'utilisation pour la suite. L'échantillon est ensuite placé sous un aligneur optique équipé d'un système d'insolation à lampe Deep-UV de type SÜSS Microtec MJB4. Un nanofil est localisé à l'aide des binoculaires et aligné sous le masque de contacts. Une fois le substrat mis en contact avec le masque de lithographie la résine est exposée pendant 5.2 s. Le développement de la résine est réalisé avec de l'AZ developer MIF 326 pendant 45 s. L'échantillon est ensuite rincé à l'EDI et séché à l'azote. L'échantillon est ensuite nettoyé à l'aide d'un plasma oxygène afin de graver les éventuels résidus de résine qui ne seraient pas partis au développement. Juste avant le dépôt des contacts nous procédons à la désoxydation du fil en plongeant l'échantillon dans un bain de HF 10% pendant 20s. Ceci a pour effet de graver l'oxyde natif enrobant le fil dans la zone des contacts. Enfin les contacts sont métallisés en évaporant typiquement 120 nm de Nickel et 100 nm d'aluminium ou d'or. L'échantillon est ensuite plongé dans un bain d'acétone afin de procéder au soulèvement de la résine et du métal en excédant révélant ainsi les contacts. Un dernier nettoyage plasma permet de retirer les résidus de résine du nanofil qui pourraient gêner la conduction des charges.

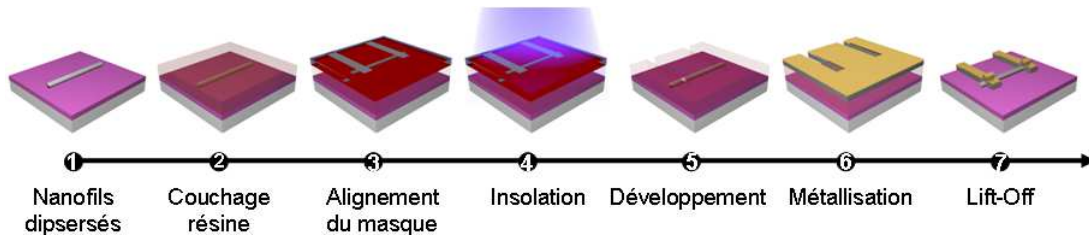


FIGURE 2.5 – Principales étapes technologiques pour la réalisation de transistors planaires à grille arrière

2.3.2 Dispositifs planaires à double grille

Contrairement aux transistors à grille unique arrière ceux présentés ci-dessous combinent deux grilles : une grille arrière planaire et une grille avant enrobante. Ces composants sont plus adaptés à l'étude du transport dans les nanofils car il est possible de moduler à la fois la densité des porteurs libres dans le canal du transistor indépendamment de la hauteur de barrière des contacts. Deux architectures sont réalisables. Tout d'abord la réalisation d'une grille non enrobante mais en forme de oméga basée sur la réutilisation des précédents dispositifs et deuxièmement la réalisation d'une grille enrobante qui nécessite quant à elle de revoir le schéma d'intégration. Ces deux méthodes sont présentées ci-dessous.

2.3.2.1 Grille avant non enrobante

Les premiers dispositifs à grille avant réalisés l'ont été sur des nanofils préalablement contactés. Nous reprenons ainsi le schéma d'intégration planaire en y ajoutant les étapes technologiques suivantes :

Si le nanofil était déjà oxydé il suffit de couler et de recuire une résine négative type MA-N 2410 dans les mêmes conditions que précédemment. Nous exposons ensuite la résine en alignant l'échantillon avec le masque de grille. Après développement et gravure plasma nous procédons à la métallisation de la grille par évaporation en s'assurant que l'épaisseur de métal déposée soit plus importante que le rayon du nanofil, ceci afin de garantir une continuité électrique le long de la grille. L'excès de métal est retiré par lift-off dans un bain d'acétone et l'échantillon est rincé à l'IPA. Après une dernière gravure plasma le dispositif est prêt.

Si le nanofil n'était pas oxydé il faut dans un premier temps procéder au dépôt d'un diélectrique de grille. Pour cela la méthode la plus efficace et pratique est l'utilisation d'un bâti de dépôt par couches atomiques (ALD). Nous déposons soit de l'oxyde de Hafnium (HfO_2) soit de l'oxyde d'aluminium ou alumine (Al_2O_3). Une fois l'oxyde déposé nous reprenons le procédé précédant pour réaliser la grille. Enfin comme l'oxyde de grille recouvre entièrement l'échantillon il faut pouvoir accéder aux contacts de source et de drain pour réaliser la caractérisation électrique. Pour cela deux solutions s'offrent à nous, la plus simple et la moins rigoureuse consiste simplement à venir gratter la surface des contacts afin d'en retirer la fine d'oxyde, la plus compliquée mais la plus soignée consiste à réaliser une étape de lithographie supplémentaire pour venir ouvrir une fenêtre sur chaque contact et procéder ensuite à une gravure de l'oxyde. Nous garderons l'option la plus simple pour des raisons de développement de procédé.

2.3.2.2 Grille avant enrobante

Pour réaliser ce genre de dispositifs nous procédons comme précédemment au retrait de l'or des nanofils avec la procédure représenté sur la figure 2.3. Puis nous oxydons les nanofils afin d'obtenir un oxyde de grille. Enfin nous déposons 70 nm d'aluminium qui sera le métal de grille par pulvérisation cathodique afin de couvrir de manière conforme les nanofils. Nous procédons ensuite à la dispersion des nanofils sur un substrat nitruré.

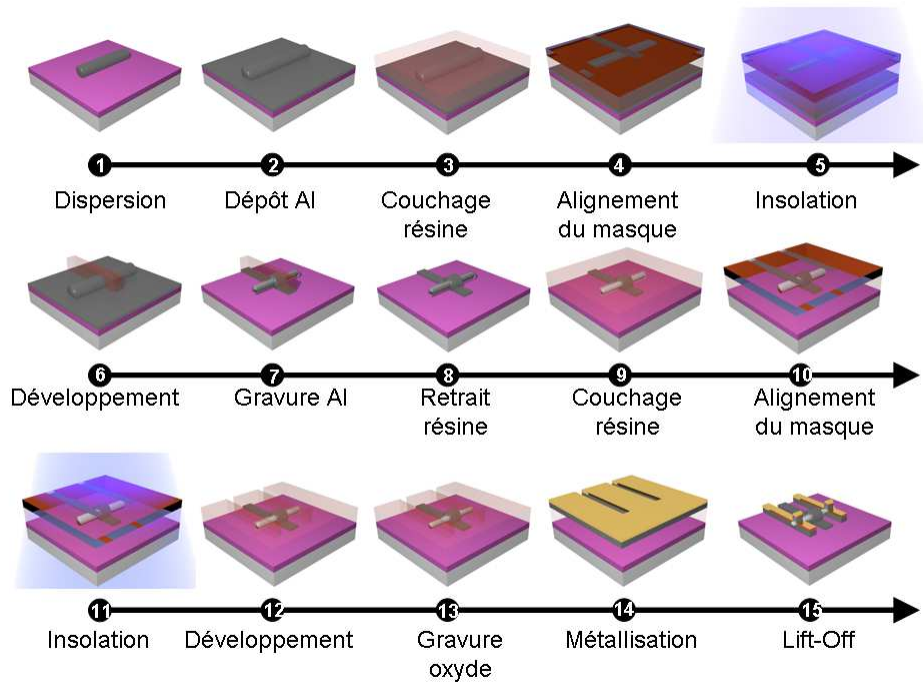


FIGURE 2.6 – Principales étapes technologiques pour la réalisation de transistors planaires à double grille

Définition de la grille enrobante Après dispersion des nanofils nous encapsulons à nouveau les fils dans 70 nm d'Aluminium par pulvérisation cathodique. Cette deuxième couche permettra de réaliser un contact déporté de grille relié à la grille enrobante.

Nous déposons ensuite à l'aide d'une tournette une résine UV positive. Nous réalisons une étape de lithographie en alignant le masque de la grille au centre d'un nanofil. La résine est exposée aux UV puis développée dans une solution EDI :AZ developer (1 :1) pendant 30 s. L'échantillon est rincé à l'EDI puis séché à l'azote. Une étape de nettoyage avec un plasma oxygène permet de retirer les fonds de résine.

La grille est ensuite définie par gravure humide dans une solution commerciale d'Aluminium Etch chauffée à 40 °C pendant 90 s. La résine est finalement retirée dans un bain d'acétone et l'échantillon est nettoyé à l'IPA.

Réalisation des contacts Source/Drain Les deux autres contacts sont réalisés de la même façon que pour les dispositifs à grille arrière unique en s'assurant d'aligner correctement la source et le drain avec la grille avant enrobante.

2.4 Extraction des paramètres

2.4.1 Rapport des courants

Un des paramètres permettant de qualifier le fonctionnement d'un transistor est le rapport entre le courant à l'état ouvert du transistor noté I_{ON} et le courant dans l'état fermé noté I_{OFF} . Ce ratio se doit d'être le

plus important possible afin d'obtenir une distinction claire entre les deux états. Il existe cependant plusieurs méthodes permettant de définir la valeur de ces deux paramètres.

2.4.1.1 Méthode simple

La façon la plus simple et la plus répandue utilisée pour déterminer les valeurs de I_{ON} et I_{OFF} consiste simplement à prendre la valeur maximum du courant sur un graphique $I_{DS} - V_{GS}$ pour le I_{ON} et sa valeur minimum pour le I_{OFF} . L'atout indéniable de cette approche est sa rapidité et sa large couverture de la plage des tensions de grille. Comme nous allons le voir par la suite cette méthode n'est pas la plus rigoureuse mais étant largement employée dans la littérature par les groupes réalisant des transistors à nanofils il nous paraît nécessaire de se comparer en utilisant cette approche. Pour apporter plus de précision dans l'extraction de données nous allons également confronter nos mesures à une méthode relativement récente présentée dans la suite. Mais avant de rentrer plus en détails il semble important de faire un petit rappel sur la méthode classique utilisée pour la caractérisation des MOS ultimes.

2.4.1.2 Méthode classique

De manière historique l'extraction des valeurs des courants I_{ON} et I_{OFF} se fait en suivant la procédure suivante. La tension de fonctionnement V_{CC} est appliquée entre la source et le drain. La tension de grille est ensuite scannée de 0V à V_{CC} . I_{ON} est obtenu pour $V_G = V_{DS} = V_{CC}$ et I_{OFF} est obtenu à $V_G = 0V$ et $V_{DS} = V_{CC}$. Cette méthode est utilisée pour les dispositifs optimisés visant une valeur particulière de tension seuil, cependant pour les dispositifs nanoélectroniques émergents pour lesquels la valeur de V_T n'est pas prédite et pour lesquels les caractéristiques I-V ne sont pas optimisés, l'extraction des deux paramètres est souvent erronée. Aussi pour palier à ce manque d'harmonisation Chau et al [1] ont proposé une approche permettant de comparer de façon plus rigoureuse les caractéristiques électriques de ces nanodispositifs.

2.4.1.3 Méthode de Chau [1]

En 2005 Chau et al. proposent une nouvelle méthodologie d'extraction des paramètres des dispositifs nanoélectroniques destinés aux applications à faible consommation. Ils proposent notamment une nouvelle méthode d'extraction des courants I_{ON} et I_{OFF} . Il s'agit dans un premier temps d'extraire la valeur de la tension seuil du transistor considéré en appliquant la méthode de la transconductance maximum. La caractéristique $I_{DS}-V_{GS}$ est dérivée et donne ainsi la courbe g_m-V_{GS} . Le maximum de la transconductance a pour abscisse V_T . Une fois la valeur de la tension seuil trouvée les courants I_{ON} et I_{OFF} sont extraits avec $I_{ON} = V_T - \frac{2}{3}V_T$ pour les PMOS et $I_{ON} = V_T + \frac{2}{3}V_T$ pour les NMOS et $I_{OFF} = V_T + \frac{1}{3}V_T$ pour les PMOS et $I_{OFF} = V_T - \frac{1}{3}V_T$ pour les NMOS. Cette méthode permet de comparer des dispositifs en termes de performances (ou benchmarking). Cette procédure est appliquée pour des tensions V_{DS} dites de fonctionnement ou V_{CC} . Un exemple est donné dans la figure (Fig. 2.7)

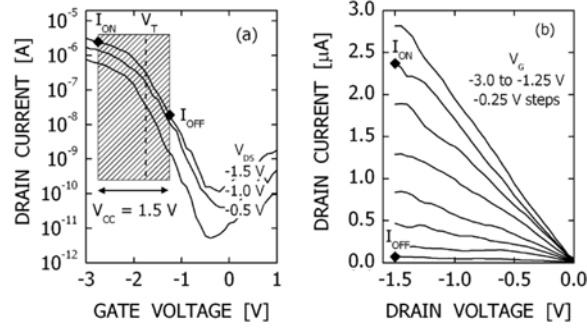


FIGURE 2.7 – a) courbe $I_{DS} - V_{GS}$ obtenue sur un transistor à nanotube de carbone. La tension de fonctionnement est prise à la valeur la plus importante de V_{DS} et après extraction de la tension seuil les courants ON et OFF sont déduits par la méthode de Chau. b) courbe $I_{DS} - V_{DS}$ d'un transistor à nanotube carbone pour plusieurs polarisations de grille. Les valeurs des courants ON et OFF sont reportées.

2.4.2 Normalisation des courants

Il est d'usage dans le domaine de la microélectronique de normaliser les courants circulant dans les transistors afin de rendre le travail des architectes circuits plus simple. Le principe avec un transistor planaire traditionnel est de donner les courants en ampères par unité de largeur de canal pour une longueur donnée. Ceci permet ensuite d'adapter les dimensions des transistors afin d'obtenir les valeurs de courant souhaitées. Lorsque l'on utilise des nanofils comme canaux de conduction l'affaire se complique un peu. En effet la largeur du canal est fixée par le diamètre des fils. Aussi d'un point de vue d'architecte le problème reste le même. Comme l'agencement des transistors se fait en vue de dessus du circuit le seul paramètre qui importe est l'encombrement du transistor et donc la largeur du fil ou diamètre. Cependant, d'un point de vue physique il est plus judicieux de normaliser ce courant par rapport à la circonférence du nanofil qui correspond également au diamètre inférieur de la grille. Il sera donc nécessaire par la suite de bien distinguer les courants normalisés au diamètre ou au périmètre des nanofils.

2.4.3 Capacité de grille

La capacité du système Métal-Oxide-Semiconducteur (MOS) formé par l'ensemble grille-oxide de grille-nanofil doit être connue afin de remonter à de nombreux autres paramètres comme la mobilité (cf 2.4.6). Pour cela nous avons besoin de modèles nous permettant de calculer cette capacité

2.4.3.1 Modèle de la capacité cylindrique

Le modèle le plus simple est la configuration dans laquelle l'oxyde enrobe totalement le nanofil est que le métal de grille en fait de même avec l'oxyde. Le problème se résume donc simplement à une configuration cylindrique exprimée comme :

$$C_{ox} = \frac{2\pi\epsilon_0\epsilon_r L}{\ln\left(\frac{r+t}{r}\right)} \quad (2.1)$$

avec ϵ_0 la permittivité du vide, ϵ_r la permittivité relative du diélectrique, L la longueur de grille, r le rayon du nanofil et t l'épaisseur de l'oxyde de grille. Ce cas idéal ne s'applique qu'aux dispositifs dotés d'une grille parfaitement enrobante. Dans le cas d'une grille planaire nous devons adapter le modèle.

2.4.3.2 Modèle “cylindre-sur-plan”

Ce modèle est couramment utilisé [57, 58] pour calculer la valeur du couplage entre un nanofil et une grille plan typiquement une grille arrière. Ainsi la capacité est formulée comme suit :

$$C_{ox} = \frac{2\pi\varepsilon_0\varepsilon_r L}{\cosh^{-1}\left(\frac{r+t}{r}\right)} \quad (2.2)$$

Cette expression n’est valable que pour des dispositifs dont le ou les nanofils ne sont pas oxydés. Pour adapter ce modèle à une configuration comportant un oxyde enrobant le nanofil nous procédons comme suit.

Lorsque le nanofil est oxydé et que cet oxyde recouvre entièrement le fil il faut alors considérer la présence de deux capacités en série. La première capacité est celle de la grille arrière, la deuxième est une simple capacité cylindrique. Pour simplifier nous considérons que la charge est répartie uniformément à la surface de l’oxyde enrobant le nanofil. On obtient ainsi l’expression suivante :

$$C_{ox} = \frac{2\pi\varepsilon_0\varepsilon_{r_1}\varepsilon_{r_2} L}{\varepsilon_{r_2} \cosh^{-1}\left(\frac{r+t_1+t_2}{r+t_2}\right) + \varepsilon_{r_1} \ln\left(\frac{r+t_2}{r}\right)} \quad (2.3)$$

avec ε_0 la permittivité du vide, ε_{r_1} la permittivité relative du diélectrique de grille arrière, ε_{r_2} la permittivité relative du diélectrique enrobant le nanofil, L la longueur de grille, r le rayon du nanofil, t_1 l’épaisseur de l’oxyde de grille arrière et t_2 l’épaisseur de l’oxyde enrobant le nanofil.

2.4.4 Tension Seuil

La tension seuil V_T est la tension de grille au-delà de laquelle commence à apparaître une couche d’inversion de charge et est donnée par la formule :

$$V_T = V_{FB} + 2\Psi_B + \frac{\sqrt{4\varepsilon_s q N_A \Psi_B}}{C_{ox}} = \left(\phi_{ms} - \frac{Q_f}{C_{ox}}\right) + 2\Psi_B + \frac{\sqrt{4\varepsilon_s q N_A \Psi_B}}{C_{ox}} \quad (2.4)$$

Cette tension est mesurée en traçant le courant de drain en fonction de la tension de grille en échelle linéaire. Une extrapolation de la région linéaire sur l’axe des abscisses permet de déterminer sa valeur. On constate dans la formule 2.4.4 la dépendance de V_T avec les charges fixes Q_f piégées dans l’oxyde. Nous pourrions donc utiliser cette dépendance afin d’obtenir une estimation de la densité de charges fixes dans nos transistors.

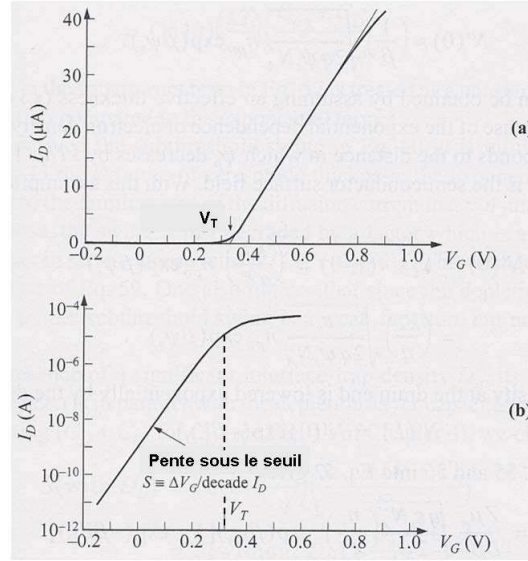


FIGURE 2.8 – Courbes $I_{DS} - V_{GS}$ typiques d'un transistor avec a) la représentation en échelle linéaire du courant I_{DS} permettant le calcul de V_T . b) la représentation en échelle logarithmique du courant I_{DS} mettant en avant la pente sous le seuil. (d'après [7])

2.4.5 Pente sous le seuil

Un autre paramètre important utilisé pour qualifier le comportement des transistors est la pente sous le seuil. Cette pente désignée par SS pour “*subthreshold slope*” en anglais est comme son nom l'indique la pente de la courbe $I_{DS} - V_{GS}$ lorsque V_{GS} est supérieur à V_T pour un transistor de type p et inférieur à V_T pour un transistor de type n. Cette valeur est définie comme la variation de tension V_{GS} nécessaire pour induire un changement d'un ordre de grandeur du courant de drain I_{DS} . Elle est calculée grâce à 2.4.5

$$SS = (\ln 10) \left(\frac{kT}{q} \right) \left(\frac{C_{ox} + C_D}{C_{ox}} \right) \quad (2.5)$$

avec C_{ox} la valeur de la capacité de l'oxyde de grille et C_D la valeur de la capacité de déplétion. Cette pente sous le seuil est également sensible à la présence de pièges à l'interface de l'oxyde et du canal. En effet, en présence d'une forte densité de pièges notée D_{it} ($cm^{-2}.eV^{-1}$) sa capacité associée $C_{it} (= qD_{it})$ est en parallèle avec la capacité de déplétion C_D . Aussi l'équation 2.4.5 devient :

$$SS = (\ln 10) \left(\frac{kT}{q} \right) \left(\frac{C_{ox} + C_D + C_{it}}{C_{ox}} \right) \quad (2.6)$$

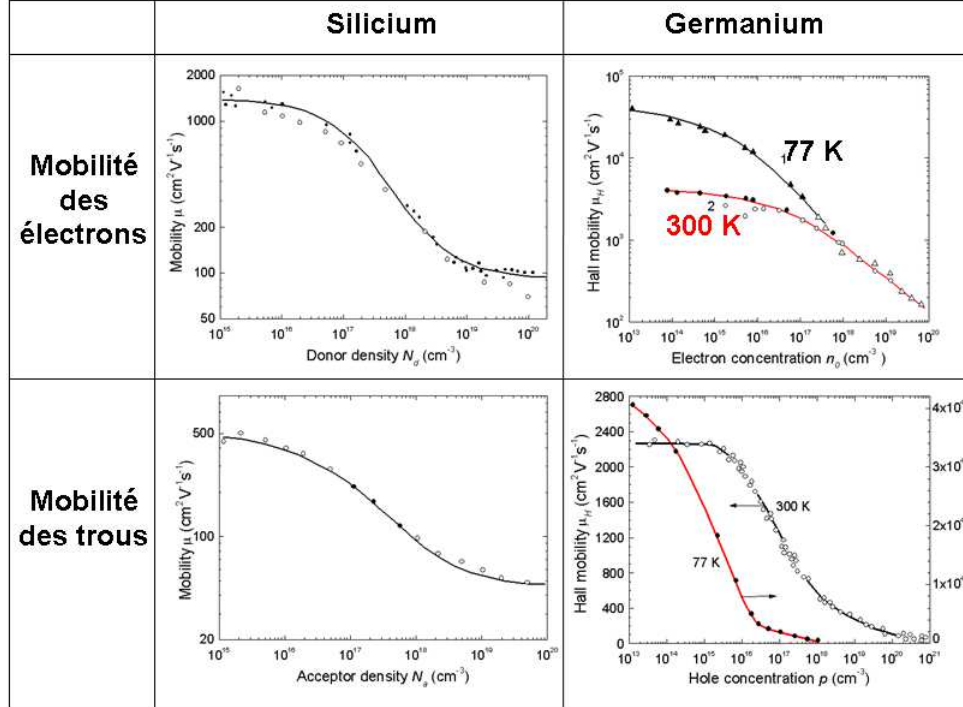
L'utilisation de la pente sous le seuil pour estimer la densité de pièges à l'interface oxyde-canal dans des transistors à nanofils a été proposé par Bangzhi Liu et al[59]. Nous confronterons nos résultats à cette méthode afin de comparer les valeurs de densités de pièges à l'interface oxide-canal avec ceux obtenus par Bangzhi.

2.4.6 Mobilité des porteurs

2.4.6.1 Abaques

Lors de l'application de faibles champs électriques la vitesse de dérive des porteurs dans un semi-conducteur est proportionnelle à la force du champ électrique, on a ainsi $v_d = \mu E$. La constante de proportionnalité μ qui lie ces deux valeurs est appelée mobilité et s'exprime en $\text{cm}^2/\text{V}\cdot\text{s}$. La valeur de la mobilité des porteurs est extrêmement importante car c'est elle qui conditionne le transport au sein du dispositif. Concernant les matériaux massifs les mobilités peuvent être mesurées par effet Hall. Leurs valeurs sont bien connues et compilées pour le Silicium et le Germanium dans le tableau suivant :

TABLE 2.2 – Mobilités des électrons et des trous pour le Silicium et le Germanium massifs.



Le germanium présente de plus fortes mobilités en particulier concernant les trous. Aussi l'alliage SiGe est un bon candidat pour la réalisation de dispositifs à forte mobilité. Cependant la mobilité des porteurs dans cet alliage dépend de sa composition et n'évolue pas linéairement avec cette dernière. Des mesures de mobilité pour du SiGe massif sont présentées dans la figure 2.9.

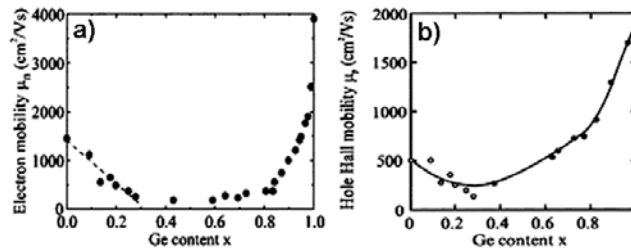


FIGURE 2.9 – Abaque des mobilités des électrons (a) et des trous (b) dans du SiGe massif en fonction de la teneur en Germanium d'après [60, 61].

Si les mobilités des différents porteurs dans des matériaux massifs sont facilement mesurables il en est tout autre chose dans les nanofils. Nous allons voir comment la mobilité des porteurs peut être estimée dans des transistors à barrière Schottky utilisant des nanofils comme canaux de conduction.

2.4.6.2 Estimation des mobilités dans les nanofils

La première approche consiste à estimer la mobilité d’après la relation suivante :

$$\mu = \frac{dI_{DS}}{dV_{GS}} \frac{L^2}{C_{ox}} \frac{1}{V_{DS}} \quad (2.7)$$

avec $\frac{dI_{DS}}{dV_{GS}} = g_m$ la transconductance en Siemens, L la longueur de la grille en cm, C_{ox} la capacité de l’oxyde de grille en Farad et V_{DS} la tension source-drain en volts. Cette approche extrêmement simple donne une valeur basse de la mobilité des porteurs car elle ne tient pas compte des résistances d’accès. Aussi ne pouvons nous parler que de mobilité apparente et non pas effective. Cette méthode étant cependant la plus communément utilisée il nous faudra comparer nos résultats à ceux de la littérature de la même manière.

2.4.7 Conclusion

Nous venons de présenter les procédés technologiques utilisés pour la fabrication de transistors planaires à grille arrière et/ou avant enrobante ou non. Ces étapes peu complexes sont réalisables rapidement et permettent ainsi de fabriquer un grand nombre de dispositifs en un temps réduit. Les échantillons utilisés étant également de petites dimensions (10x10 mm²) la consommation de substrats est faible. Nous avons également présenté les paramètres clés permettant de caractériser les transistors ainsi que leurs méthodes d’extraction. Nous allons désormais pouvoir nous intéresser à la caractérisation électrique des transistors à nanofils Si.

2.5 Transistors planaires à grille arrière à nanofils Si

2.5.1 Introduction

La configuration planaire la plus simple est celle à grille arrière. Dans ce type de dispositifs, la grille se résume à un substrat de silicium dégénéré faisant office d’électrode sur lequel une couche de nitrure de 200nm a été déposée dans le but d’être utilisée comme oxyde de grille. Nous allons étudier le comportement de nanofils Si bruts de croissance dans ce type de dispositifs. Nous évaluerons dans premier temps le dopage non intentionnel des nanofils. Puis nous nous intéresserons à la possibilité de moduler la hauteur de la barrière Schottky des contacts en siliciurant les nanofils à l’aide d’un recuit thermique. La cinétique de cette siliciuration sera également abordée. Nous exposerons les performances pouvant être obtenues dans les conditions optimales de siliciuration. Enfin nous aborderons les causes physiques à l’origine du comportement hystérétique des nanofils lorsque la tension de grille est balayée.

2.5.2 Nanofils Silicium bruts de croissance

Le terme “brut de croissance” nous permet de désigner les nanofils n’ayant subi aucun traitement post-croissance par abus de langage ce terme désignera également les nanofils dont le catalyseur aura été gravé.

Nous allons voir dans cette partie comment de tels nanofils se comportent électriquement et quelle est l'influence sur les caractéristiques électriques d'un recuit des contacts. Enfin nous les comparerons à des nanofils ayant subi soit une oxydation thermique soit un dépôt de matériau diélectrique.

2.5.2.1 Résistances d'accès et dopage résiduel

Des dispositifs sont réalisés en utilisant comme diélectrique de grille arrière une couche de 200 nm de nitrure de silicium. Les deux électrodes de source et de drain sont en nickel et sont reliées à deux SMU de l'analyseur paramétrique afin d'obtenir les caractéristiques courant-tension $I_{DS} - V_{DS}$ des nanofils. La grille arrière est maintenue à 0 V à l'aide d'une troisième pointe reliée au substrat. Les caractéristiques typiques des nanofils sont présentées dans la figure 2.10.

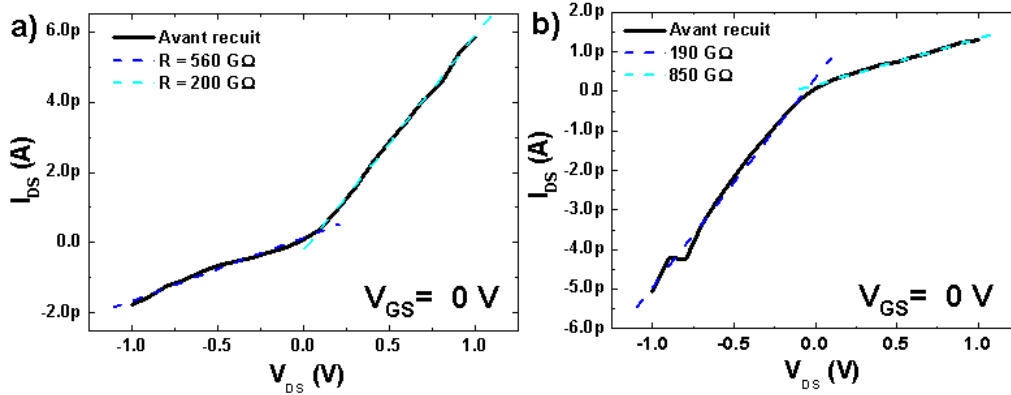


FIGURE 2.10 – Caractéristiques $I_{DS} - V_{DS}$ de deux dispositifs à nanofil a) et b) avant recuit des contacts pour une tension de grille arrière nulle. Le diamètre du fil est de 116 nm et la longueur de grille de 2.95 μm .

Nous constatons qu'avant recuit des contacts les deux dispositifs présentent une résistance totale élevée comprise entre 200 GOhms et 850 GOhms. De plus cette résistance globale n'est pas la même suivant le signe de la tension de drain appliquée démontrant par là-même que les deux contacts utilisés en tant que source et drain sont inégaux du point de vue électrique. Cette différence de comportement peut être attribuée à une couverture inégale du métal de contact inhérente au procédé de métallisation, et-ou à des processus de transport différents ou intervenant avec des pondérations différentes d'un contact à l'autre (barrière de hauteur différente due par exemple à une densité d'états de surface différente, dopage intrinsèque légèrement différent dans le canal à proximité du contact engendrant par exemple une composante de courant tunnel différente.). Nous souhaitons dans ce cas pouvoir estimer la valeur des résistances d'accès au nanofil. En effet il est possible d'écrire que la résistance totale mesurée est égale à :

$$R_{TOT} = R_S + R_{NF} + R_D \quad (2.8)$$

Avec R_{TOT} la résistance totale du dispositif, R_S la résistance de contact au niveau de la source, R_{NF} la résistance du nanofil et R_D la résistance de contact du drain. On constate aisément que pour estimer R_S et R_D la connaissance de R_{NF} est indispensable. Pour cela deux étapes sont nécessaires. Il faut dans un premier temps déterminer la nature du dopage résiduel des nanofils et dans un deuxième temps déterminer le niveau de dopage par la mesure de la résistivité du nanofil.

La nature du dopage résiduel est déterminée grâce à l'utilisation de dispositifs en configuration transistor.

Le substrat est polarisé afin d'agir sur la conduction du nanofil. Ainsi en enregistrant les courbes $I_{DS} - V_{DS}$ pour différentes valeurs de tension de grille arrière nous obtenons les courbes présentées en figure 2.11 :

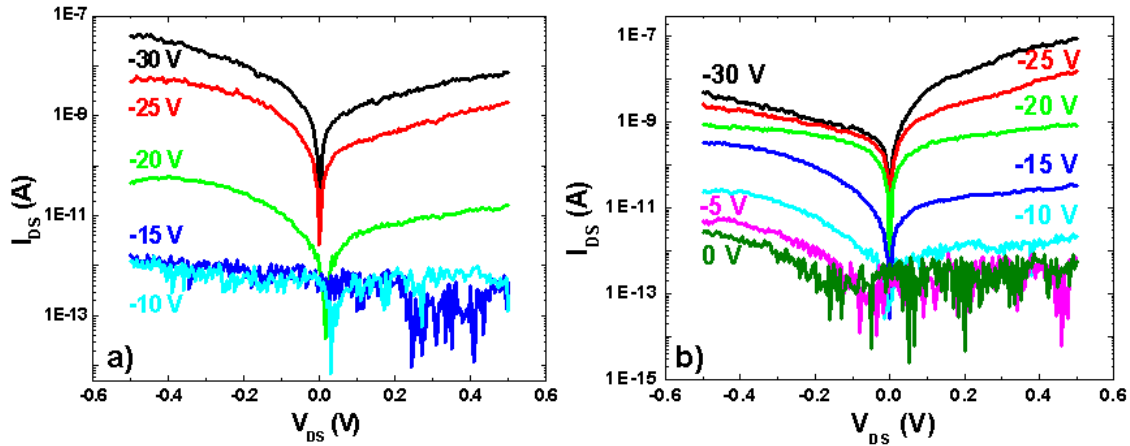


FIGURE 2.11 – Caractéristiques $I_{DS} - V_{DS}$ de deux dispositifs à nanofil a) et b) pour différentes tensions de grille arrière. le diamètre du fil est de 116 nm et la longueur de grille de 2.95 μm .

Nous observons que la courant I_{DS} augmente lorsque la polarisation de grille tend vers les valeurs négatives. Ainsi si le régime d'accumulation est obtenu pour des tensions négatives nous pouvons en déduire que le nanofil présente un dopage résiduel de type p. La connaissance du type de dopage va nous permettre de déterminer la résistivité puis la concentration des dopants dans le nanofil à l'aide de l'abaque 2.12 :

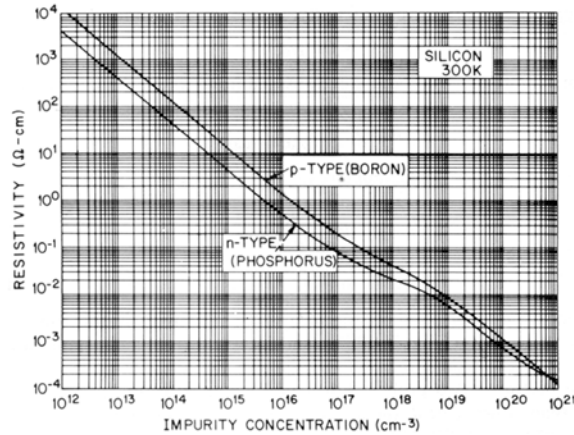


FIGURE 2.12 – Graphique donnant la relation entre la résistivité d'un barreau de silicium à température ambiante et la concentration des impuretés dopantes. [7]

La mesure de la résistivité du nanofil nécessite cependant la réalisation de nouveaux dispositifs. Il est en effet indispensable de s'affranchir des résistances de contacts pour mesurer cette résistivité, pour cela une structure quatre points est utilisée. Cette structure est l'analogue de la mesure TLM pour les matériaux massifs. Il s'agit simplement de quatre contacts métalliques répartis le long du nanofil, les deux contacts externes sont dédiés à l'application d'un courant tandis que les électrodes internes permettent de mesurer une chute de potentiel dans le nanofil sur une longueur donnée. La courbe I-V obtenue permet d'extraire une résistance qui s'exprime comme :

$$R = \frac{\rho L}{S} \quad (2.9)$$

avec R la résistance du nanofil, ρ la résistivité du nanofil en $\Omega \cdot \text{cm}$, L la longueur séparant les deux contacts internes dédiés à la mesure de potentiel en cm et S la section du nanofil en cm^2 .

Le dispositif est réalisé avec la même méthode de lithographie que pour les transistors à nanofil à la différence que le masque permet de définir quatre contacts au lieu de deux. La caractéristique électrique est présentée en figure 2.13. Nous constatons que la résistance mesurée est de l'ordre de 300 M Ω . En appliquant la formule 2.5.2.1 avec $L = 5 \mu\text{m}$ et un diamètre de nanofil de 65 nm nous obtenons $\rho \approx 6.5 \Omega \cdot \text{cm}$. Comme ce nanofil est issu d'une croissance identique mais plus longue que les fils caractérisés en deux points nous pourrions considérer le niveau de dopage comme équivalent entre les deux dispositifs. En nous reportant à l'abaque présentée en figure 2.12 nous constatons que le niveau de dopage est de l'ordre de $10^{15} \cdot \text{cm}^{-3}$. Ce niveau de dopage résiduel est conforme à ce que la littérature présente [62, 63, 64].

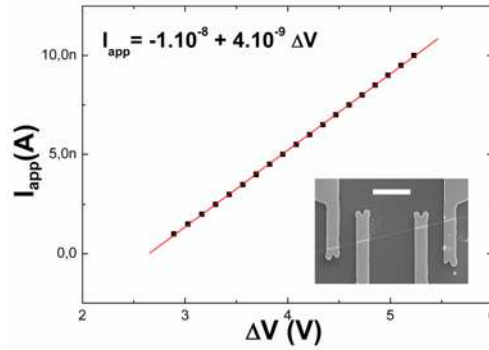


FIGURE 2.13 – Caractéristique quatre points d'un nanofil brut de croissance de silicium sans dopage intentionnel. L'insert est une image MEB du dispositif de mesure. La barre blanche représente une échelle de 5 μm .

Nous avons désormais toutes les données nous permettant d'exploiter au mieux nos mesures électriques. Par exemple, pour le premier dispositif dont les caractéristiques sont présentées en figure 2.10, la résistance totale mesurée vaut respectivement 560 et 200 G Ω pour les tensions négatives et positives de drain. La longueur du nanofil étant de 3.76 μm et son diamètre de 101 nm nous pouvons ainsi estimer la résistance intrinsèque du nanofil autour de 31 M Ω . Cette valeur est très inférieure à celle mesurée. On constate ainsi que la résistance mesurée est principalement celle des contacts. Pour des fils non intentionnellement dopés on peut donc écrire que $R_{TOT} \approx R_S + R_D$. Cette observation démontre l'importance que jouent les contacts dans un transistor à barrière Schottky.

Afin d'obtenir de plus amples caractéristiques de nos transistors nous avons procédé à la mesure du courant I_{DS} en fonction de la tension de grille comme présenté dans la figure 2.14.

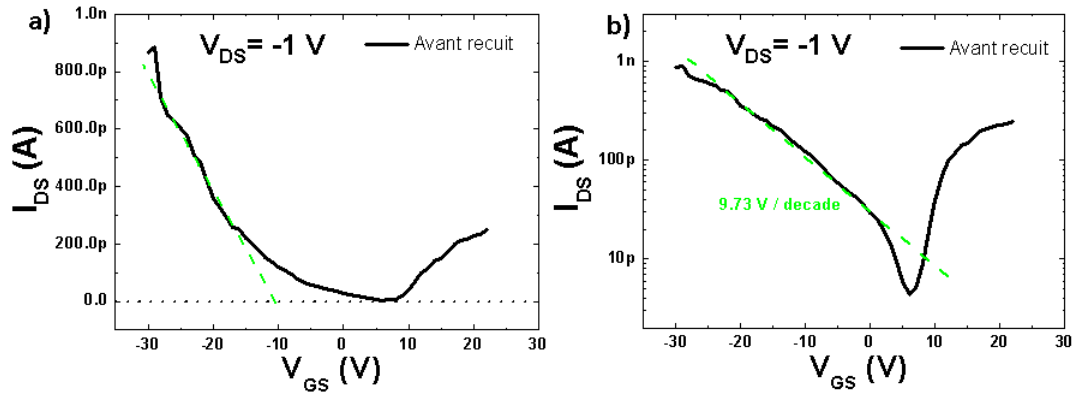


FIGURE 2.14 – Caractéristiques $I_{DS} - V_{GS}$ d'un transistor à nanofil avant recuit des contacts pour une tension de drain de -1V. Elles sont respectivement représentées en échelle a) linéaire et b) logarithmique. Le diamètre du fil est de 116 nm et la longueur de grille de 2.95 μm .

Nous observons tout d'abord que les mesures confirment le comportement du nanofil comme un semi-conducteur de type p. Le tracé linéaire permet d'extraire la valeur de tension seuil du transistor qui est de - 10 V et la pente sous le seuil qui vaut 9.73 V/décade.

La diminution des résistances de contact est un point clé dans la réalisation de SBFET comme nous l'avons dit dans l'introduction de cette thèse. Il est possible de contrôler cette résistance soit en dopant les nanofils soit en les siliciurant. Le dopage des nanofils est possible et nous avons d'ailleurs pu estimer le niveau de dopants obtenu en fonction du ratio des gaz précurseurs utilisés. Le problème du dopage des nanofils réside dans le fait que la jonction n'est pas abrupte. Ceci conduit donc à des difficultés concernant la maîtrise de la longueur du canal du transistor. Une autre approche, la siliciuration permet d'obtenir une phase faiblement résistive dans le nanofil tout en ayant une interface abrupte entre le canal et la phase formée.

La façon la plus efficace pour diminuer les résistances d'accès et ainsi augmenter les performances des dispositifs consiste donc à procéder à la siliciuration des contacts. Ce recuit est effectué à 400 °C à l'aide d'un four de recuit rapide ou RTP (Rapid Thermal Process) . Cela a pour effet de faire diffuser le nickel, utilisé pour le contact, dans le nanofil formant ainsi un alliage Ni_XSi_Y aussi appelé siliciure. L'atout de cette opération est de former une phase métallique peu résistive dont l'interface avec le nanofil présente la particularité d'être abrupte. Nous avons choisi d'explorer ce phénomène de siliciuration afin de voir s'il est possible de contrôler à la fois la longueur du siliciure mais également si les caractéristiques électriques des dispositifs dépendent du procédé de recuit utilisé. Nous allons donc dans la suite de cette étude nous intéresser à la cinétique de siliciuration des nanofils Si. Une fois que nous aurons mis en avant cet aspect nous nous intéresserons à l'impact de ce procédé thermique sur les performances électriques des transistors à nanofils. Nous souhaitons, en développant cette méthode de recuit des contacts, augmenter les performances des dispositifs en réduisant les résistances d'accès. Si nous constatons une véritable amélioration des comportements nous pourrions alors envisager d'appliquer cette approche aux transistors verticaux.

2.5.2.2 Cinétique de la siliciuration

L'étape de recuit des contacts est réalisée dans un four RTP. La température choisie de siliciuration est de 400°C en raison de la formation d'une phase peu résistive à cette température. Ce type de recuit est effectué sous une atmosphère neutre (N_2) afin d'éviter tout phénomène d'oxydation lors de la montée en température. L'intérêt d'utiliser un RTP plutôt qu'un four résistif traditionnel réside dans la réactivité de

l'appareil. Un RTP peut effectuer des montées en températures très rapides de l'ordre de 100°C/s . Ceci permet non seulement de diminuer le temps de procédé mais également de contrôler les phases cristallines. En effet une montée aussi brusque évite la formation d'autres phases stables à plus basse température pouvant gêner la siliciuration.

Nous avons choisi dans un premier temps d'observer la longueur de siliciure formé en fonction de la durée du recuit. Comme le siliciure se propage le long du nanofil il est important de connaître la cinétique de ce phénomène dans le but de contrôler ultérieurement la longueur exacte du canal. N'oublions pas que cette étape est à envisager pour optimiser également les transistors verticaux. Si la siliciuration est trop longue cela pourrait mener à obtenir un nanofil entièrement siliciuré et donc plus apte à être utilisé comme SBFET. La mesure de la longueur de siliciure est réalisée à l'aide d'un MEB couplé à un détecteur EDX. La figure 2.15 montre les images caractéristiques d'un contacts que nous obtenons après recuit.

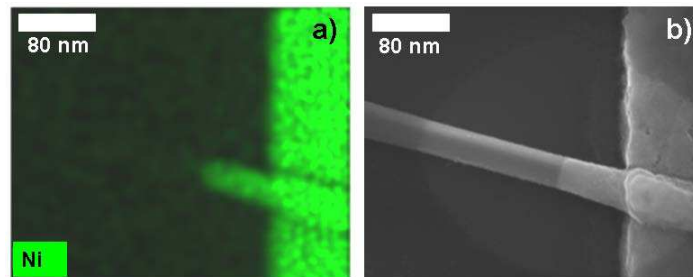


FIGURE 2.15 – a) Image EDX d'un contact en nickel siliciuré à 400°C . On peut noter la présence de nickel dans le fil sur une longueur d'environ 80 nm correspondant à la partie du fil siliciurée. b) Image MEB du même contact. On constate que la différence de masse atomique entre le siliciure et le fil permet de les distinguer par contraste.

La figure suivante représente les longueurs mesurées sur les deux extrémités des fils pour différents temps de recuit à 400°C .

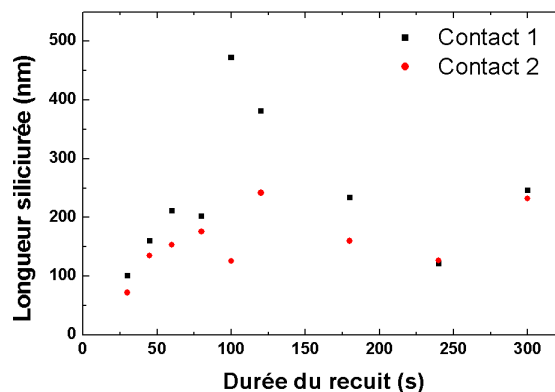


FIGURE 2.16 – Longueur mesurée de la partie siliciurée d'un nanofil en fonction de la durée du recuit.

La première observation évidente est que les siliciures de source et de drain peuvent être très dispersés en terme de longueur. A titre d'exemple nous remarquons que pour une siliciuration de 120 s, la différence entre les deux longueurs de siliciure est d'environ 150 nm pour des longueurs mesurées de 250 et 400 nm. Il semble donc compliqué de maîtriser avec précision la longueur de siliciure formé et ainsi donc la longueur de nanofil

non siliciurée restante. Les temps courts semblent beaucoup plus adaptés à un contrôle de cette longueur tout en obtenant une bonne homogénéité entre les deux contacts. Cette importante variabilité concernant les temps longs de siliciuration peut avoir plusieurs causes. Il a été observé précédemment que des défauts ponctuels le long des fils pouvaient être responsables d'un amorçage précoce et incontrôlé de la siliciuration[65]. D'un autre côté, la différence de longueur siliciurée entre les deux contacts peut provenir d'un état de surface de mauvaise qualité en terme structural entre le métal et le fil. Cette interface est en effet connue pour être en grande partie responsable de la cinétique de croissance du siliciure[66], ainsi une légère réoxydation d'un des deux contacts peut engendrer de grandes disparités de comportement. Ce problème de différence de comportement entre les nanofils n'est que très peu abordé dans la littérature il apparait cependant important d'insister sur ce point. Un très récent papier [67] met également en avant ce phénomène sur des fils de silicium bruts de croissance et oxydés mais également pour des longueurs de siliciure plus importantes, de l'ordre du micromètre. Les résultats des travaux de Ogata et al sont présentés dans la figure 2.17.

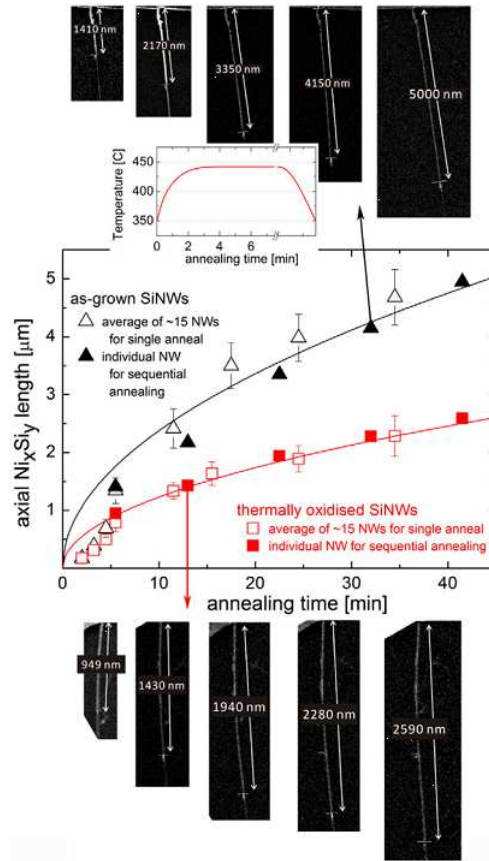


FIGURE 2.17 – Longueur de propagation d'un siliciure de nickel dans des nanofils de silicium as-grown (en noir) et oxydés (en rouge) en fonction de la température de recuit, d'après [67].

Les symboles vides de la figure 2.17 présentent la longueur de siliciure obtenue pour des nanofils ayant subi un seul recuit. Il apparaît que la longueur mesurée présente également une dispersion relativement importante comme dans notre cas et peut aller jusqu'à présenter des variations de l'ordre du micromètre. Ces nanofils ayant été également obtenus par croissance, la nature même des nanofils est peut-être la cause de ce comportement. Récemment une équipe du TOKYO TECH a montré le même phénomène sur des nanofils Si obtenus par gravure plasma [68] et ont proposé une solution innovante afin d'éviter ce désagrément. Les nanostructures élaborées dans le cadre de cette étude ont été obtenues par gravure de plaques SOI. Les fils

ont été désoxydés puis un contact soit de Ni soit de $NiSi_2$ a été déposé. Le recuit a été effectué à 500°C pendant une minute. Les résultats sont présentés dans la figure 2.18. Les fils siliciurés grâce à une source de nickel présentent le même phénomène de propagation du nickel que dans notre cas avec une dispersion des distances d'intrusion du nickel importantes. Par contre lorsque la source de nickel est constituée de $NiSi_2$ aucune propagation de siliciure n'est observée comme le montre la figure 2.18 b). Cette étude a démontrée que l'utilisation d'un siliciure comme source de nickel empêche la propagation du nickel le long des structures et ainsi évite ce problème de non reproductibilité de la siliciuration.

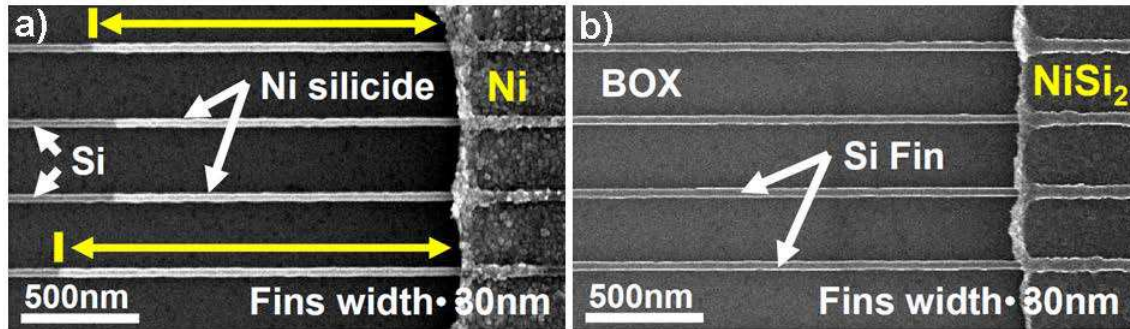


FIGURE 2.18 – Images MEB issues des travaux de Koyama et al (Oral ESSDERC 2011). a) fins de silicium siliciurés à 500°C pendant 60 secondes avec une source en nickel. b) fins de silicium siliciurés à 500°C pendant 60 secondes avec une source en $NiSi_2$.

La nature de nos nanofils n'est donc en aucun cas responsable de la non-reproductibilité de la propagation du nickel lors de l'étape de siliciuration. N'ayant pas accès à des sources de siliciure nous devons cependant continuer à procéder de la sorte en tenant compte de ce phénomène.

Au delà de l'aspect matériau le point qui nous intéresse le plus est l'optimisation du comportement électrique des dispositifs à nanofils lors du recuit des contacts. En effet les phases de siliciure formées doivent permettre à la fois de diminuer les résistances de contact et les densités de défauts à l'interface métal/semi-conducteur. Au final le but recherché est d'obtenir une faible variabilité de la hauteur de barrière obtenue. Ainsi nous nous attendons à obtenir de meilleures performances de la part des dispositifs ayant été recuits.

2.5.2.3 Impact de la siliciuration sur les performances électriques des transistors à nanofil Si

Il est en effet primordial de vérifier l'effet de la siliciuration sur le comportement électrique des nanofils. Pour cela nous allons tout d'abord nous référer à la figure 2.19 qui expose les caractéristiques $I_{DS} - V_{DS}$ pour deux dispositifs avant et après recuit des contacts.

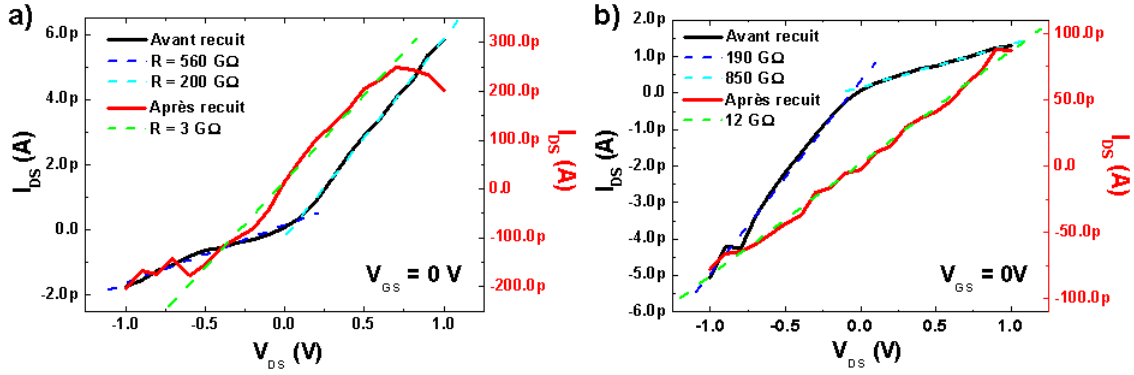


FIGURE 2.19 – Courbes $I_{DS} - V_{DS}$ de deux transistors à nanofil a) et b) avant et après recuit. le diamètre du fil est de 116 nm et la longueur de grille de 2.95 μm .

Nous constatons dans un premier temps que la valeur de courant mesurée pour une tension donnée est multipliée par un facteur allant de 20 à 100. Comme nous allons le voir par la suite, ceci est directement dû à la diminution de la hauteur de barrière apparente mais également à la diminution des pièges à l'interface métal/semi-conducteurs pouvant conduire à un accrochage du niveau de Fermi pour les fortes densités d'état d'interface. Dans un second temps nous pouvons remarquer que les deux contacts tendent vers un comportement identique qui se reflète à travers la symétrie des courbes obtenues après recuit des dispositifs. Comme le recuit influence les résistances d'accès et donc le niveau de courant traversant le fil on peut s'attendre à une modification du comportement du fil lorsqu'il est utilisé en mode transistor avec polarisation de la grille arrière. En effet comme nous pouvons le voir sur la figure (2.20) le recuit a impacté le comportement des transistors. Nous voyons sur la figure 2.20 a) que la tension seuil a été modifiée en passant d'environ -10 V à 10 V. De même, la figure 2.20 b) montre clairement l'augmentation du courant maximum passant dans le fil en régime d'accumulation par un facteur 1000. Enfin nous constatons une modification notable de la pente sous le seuil qui diminue d'un facteur 5,6. L'augmentation du courant s'explique facilement par la diminution de la hauteur de barrière issue de la transformation du Ni et Si en NiSi, d'où une injection plus favorable des porteurs majoritaires.

Comme les transistors présentés ici sont de type SB-FET, la barrière de potentiel totale est égale à la somme de la barrière Schottky et de la barrière de potentiel générée par le champ électrique de grille. Ainsi la tension seuil dépend fortement de la hauteur de barrière Schottky ce qui est confirmé par le comportement des transistors après recuit des contacts. En effet, après recuit la hauteur de la barrière Schottky est abaissée il faut alors appliquer un potentiel de grille différent afin d'obtenir un courant significatif dans le nanofil. La pente sous le seuil reflète elle la prédominance des mécanismes d'injection des porteurs au niveau de la barrière Schottky par rapport à la résistance interne du canal comme il l'a été montré dans la thèse de R. Valentin ([69]) et comme les mesures 4 pointes l'ont confirmé précédemment. Comme la grille couvre totalement les contacts nous n'avons pas de problème concernant des résistances dues à des portions de nanofil non recouverts par la grille. Aussi les seules sources de résistances sont les deux barrière Schottky formées aux contacts et la résistance du canal. Ainsi, malgré le recuit des contacts la résistance de ces derniers reste importante et demeure le paramètre limitant l'injection et déterminant le comportement final des dispositifs.

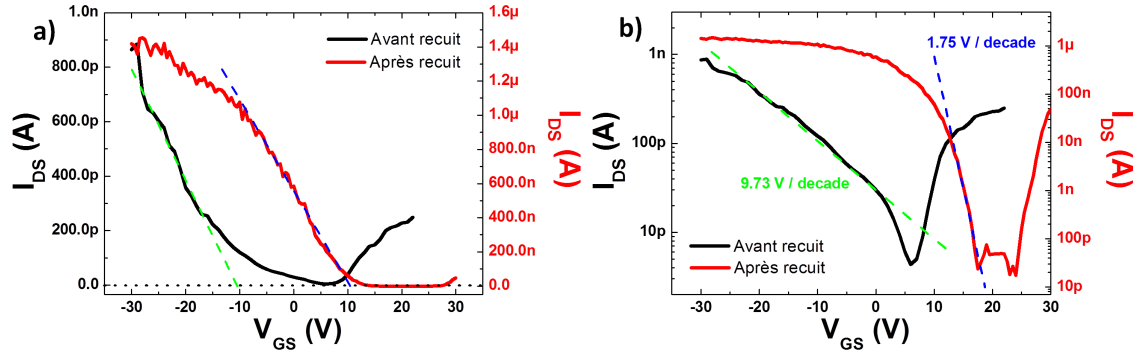


FIGURE 2.20 – Caractéristiques $I_{DS}-V_{GS}$ d'un dispositif avant et après recuit présentées a) en échelle linéaire et b) en échelle logarithmique. Le diamètre du fil est de 116 nm et la longueur de grille de 2,95 μm.

2.5.2.4 Hauteur de barrière des contacts

La figure 2.10 nous permet d'extraire les valeurs de barrière en faisant l'hypothèse qu'à $V_G = 0$ V le courant mesuré dans le nanofil résulte majoritairement de l'émission thermo-ionique car le dopage mesuré dans les fils est suffisamment faible ($\sim 10^{15} \text{ cm}^{-3}$). A l'aide d'une routine Mathematica nous pouvons ainsi tracer la valeur de la hauteur de barrière en fonction de la tension V_{DS} appliquée comme présenté dans la figure 2.21 b).

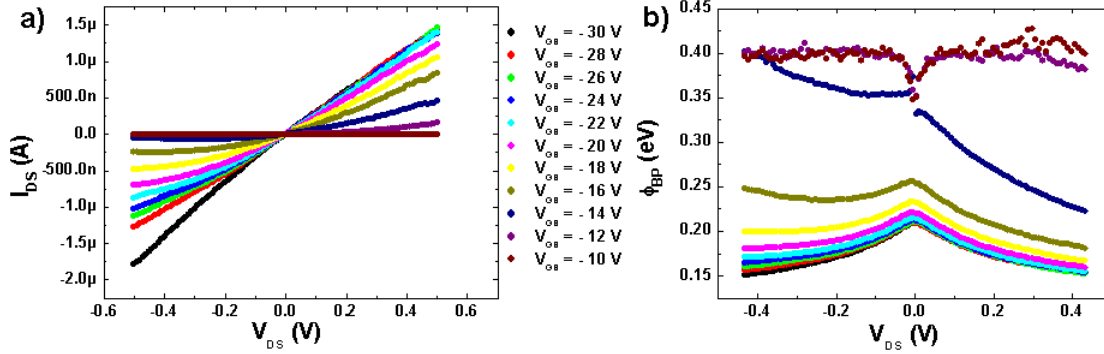


FIGURE 2.21 – a) courbe $I_{DS}-V_{DS}$ caractéristique d'un transistor à nanofil pour différentes tensions de grille arrière. b) hauteur de barrière calculée à partir des courbes $I_{DS}-V_{DS}$ en supposant le mécanisme de transport comme étant purement thermoionique. Cette courbe met en évidence à la fois l'abaissement de barrière induit par la grille mais également par la tension de drain.

Nous constatons que cette hauteur de barrière n'est pas constante et qu'elle diminue avec la tension. Ce phénomène est connu sous le nom de "Schottky-Barrier-Lowering" (SBL) ou en Français, abaissement de la hauteur de barrière Schottky. Si nous considérons un système métal-vide dans un premier temps nous pouvons dire que l'énergie nécessaire à un électron pour s'échapper au niveau du vide depuis le niveau de Fermi du métal est $q\phi_m$. Quand cet électron se trouve à une distance x du métal, une charge positive, dite charge image, est induite à la surface du métal. La force d'attraction entre l'électron et la charge positive est équivalente à la force qui existerait entre ce même électron et une charge égale positive située en $-x$. La force image peut ainsi être écrite comme :

$$F = \frac{-q^2}{4\pi\epsilon_0(2x)^2} = \frac{-q^2}{16\pi\epsilon_0x^2} \quad (2.10)$$

Avec ε_0 la permittivité du vide. L'énergie potentielle d'un électron situé à une distance x du métal est donc égale à l'intégrale de cette force entre l'infini et le point d'abscisse x , ce qui correspond en fait au travail qu'il doit fournir entre ces deux points, soit :

$$E(x) = \frac{-q^2}{16\pi\varepsilon_0 x} \quad (2.11)$$

Lorsqu'un champ électrique externe est appliqué, l'énergie potentielle totale $E_{TOT}(x)$ est donnée par la somme :

$$E_{TOT}(x) = \frac{-q^2}{16\pi\varepsilon_0 x} - q|\mathcal{E}|x \quad (2.12)$$

Cette équation admet un maximum. L'abaissement de barrière $\Delta\phi$ et la localisation de l'abaissement x_m sont données par la condition $\frac{dE_{TOT}}{dx} = 0$ soit :

$$x_m = \sqrt{\frac{q}{16\pi\varepsilon_0 |\mathcal{E}|}} \quad (2.13)$$

$$\Delta\phi = \sqrt{\frac{q|\mathcal{E}|}{4\pi\varepsilon_0}} = 2|\mathcal{E}|x_m \quad (2.14)$$

Ces résultats peuvent être transposés à un système métal-semi-conducteur. Cependant le champ doit être remplacé par celui présent à l'interface et la permittivité du vide par celle du semi-conducteur de telle sorte que :

$$\Delta\phi = \sqrt{\frac{q\mathcal{E}_m}{4\pi\varepsilon_s}} \quad (2.15)$$

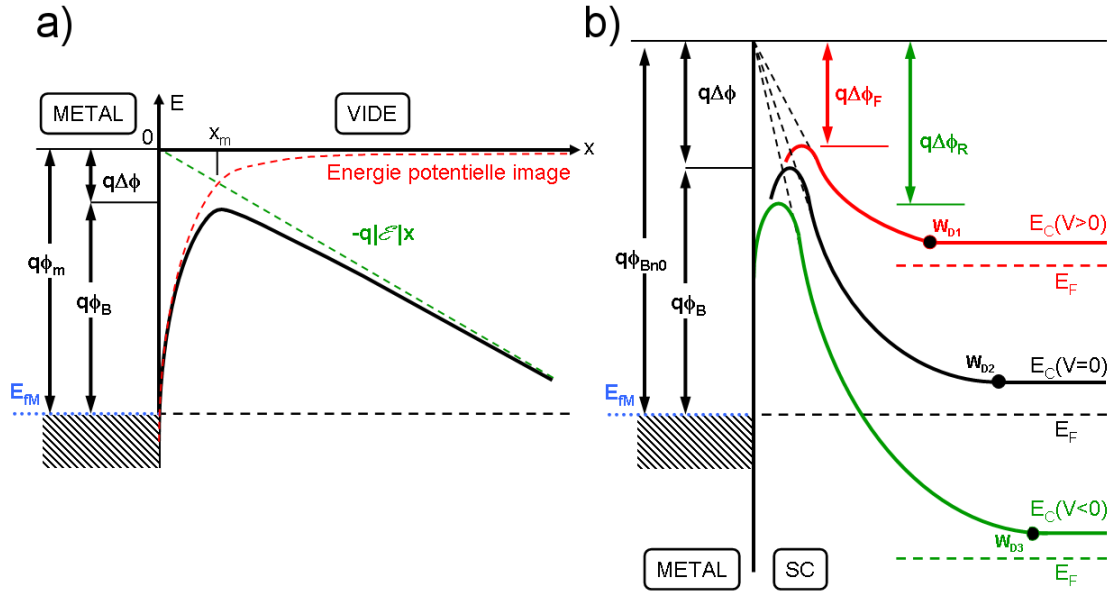


FIGURE 2.22 – diagrammes de bandes a) entre un métal et le vide. La barrière effective est abaissée quand un champ électrique est appliqué à la surface. L’abaissement résulte des effets combinés du champ et de la force image. b) entre un métal et un semi-conducteur de type n.

La hauteur de barrière est correctement déterminée par notre modèle si et seulement si le mécanisme de transport mis en jeu est l’émission thermo-ionique. En effet il est difficile d’inclure les effets tunnels dans de simples calculs analytiques. Une simulation basique utilisant un logiciel de TCAD (Technology Computer Aided Design) nous a permis d’estimer la densité des porteurs dans le canal de conduction sous forte polarisation de grille. En partant du principe que le fil est initialement dopé p à hauteur de $1.10^{15} \text{ cm}^{-3}$ et que les contacts sont en Nickel dont nous approximons la travail de sortie à 5 eV [7] nous obtenons une valeur de concentration de trous dans le canal égale à environ $3.10^{16} \text{ cm}^{-3}$ pour $V_{GS} = -20 \text{ V}$. Comme nous l’avons présenté dans la figure 1.19 cette valeur de dopage à 300 K ne donne un rapport de courant tunnel sur courant thermo-ionique qui n’est que de l’ordre de 10^{-5} . Aussi pouvons nous conclure que même sous forte polarisation de grille le transport dans nos transistors est majoritairement dominé par l’émission thermo-ionique. Nous pouvons ainsi tracer la hauteur de barrière estimée à partir des courbes $I_{DS} - V_{DS}$ pour différentes valeurs de tension de grille arrière. Nous constatons malgré tout que la hauteur de barrière dépend fortement de la tension de grille (figure 2.23).

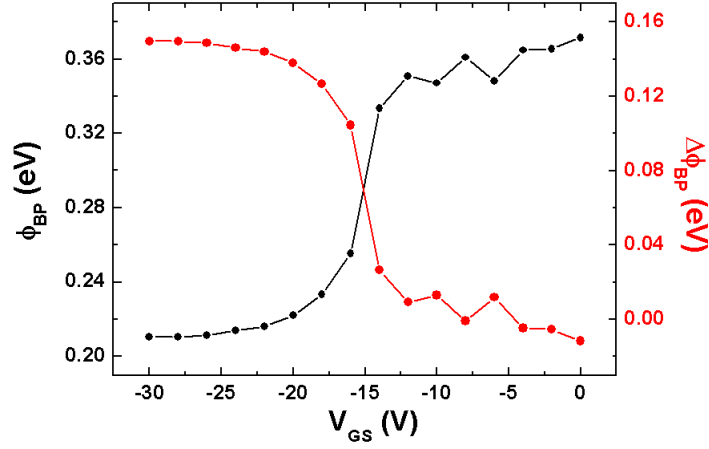


FIGURE 2.23 – Hauteur et abaissement de barrière Schottky estimés pour $V_{DS}=0$ V à partir des courbes $I_{DS} - V_{DS}$ pour différentes valeurs de tension de grille arrière.

Ayant exclu l'émission de champ car étant peu influant dans notre cas nous observons que la polarisation de la grille arrière contribue au phénomène de SBL. Ceci a également été observé par une autre équipe sur des nanofils obtenus par gravure catalysée[70]. Il est possible de modifier l'équation 2.5.2.4 afin de tenir compte non seulement de la contribution du champ transverse E_G mais également du champ longitudinal \mathcal{E}_m . De cette manière l'abaissement de la barrière s'exprime alors :

$$\Delta\phi = \sqrt{\frac{q\mathcal{E}_m}{4\pi\epsilon_s}} + \alpha\mathcal{E}_m + \beta E_G \quad (2.16)$$

Le champ \mathcal{E}_m étant dépendant de E_G l'expression du SBL est donc développée. Le premier terme exprime la contribution au SBL des charges situées à proximité de la surface du métal, le second terme est une approximation au premier ordre de la contribution de champ électrique \mathcal{E}_m dans la barrière enfin le troisième terme est une approximation de la contribution directe de E_G dans le phénomène de SBL. Le champ à la barrière \mathcal{E}_m peut être calculé à l'aide de l'approximation de désertion soit :

$$\mathcal{E}_m = \sqrt{\frac{2qN|\Psi_s|}{\epsilon_s}}, \quad (2.17)$$

avec N la densité de porteurs libres, Ψ_s le potentiel de surface du substrat soit :

$$|\Psi_s| = \phi_{Bn0} - \phi_n + V_R \quad (2.18)$$

avec ϕ_{Bn0} la hauteur de barrière Schottky pour les électrons pour un contact metal-semiconducteur idéal, ϕ_n est le potentiel de Fermi depuis la bande de conduction soit $(E_C - E_F)/q$ et V_R est la tension appliquée.

La hauteur de barrière Schottky joue un rôle dominant dans l'injection des porteurs à travers les contacts métalliques. Cependant, d'autres grandeurs physiques reflètent le comportement des transistors et sont plus à même de nous permettre d'évaluer leurs performances. Nous allons désormais nous intéresser à ces grandeurs dont nous avons expliqué les méthodes d'extraction et les utiliser afin d'évaluer le potentiel des nanofils en tant que transistors à effet de champ.

2.5.2.5 Grandeurs caractéristiques des transistors à nanofils Si

– Ratio I_{ON}/I_{OFF}

Il existe plusieurs méthodes permettant d'extraire le rapport I_{ON}/I_{OFF} selon la lecture des courants utilisée. Le tableau suivant donne les valeurs de ce rapport en fonction de la méthode utilisée.

TABLE 2.3 – Comparaison entre les courants à l'état ouvert et fermé extraits selon deux méthodes

Méthode Utilisée	Avant Recuit			Après Recuit		
	I_{ON}	I_{OFF}	RATIO	I_{ON}	I_{OFF}	RATIO
Méthode Simple	1 nA	4 pA	250	1 μ A	40 pA	25000
Méthode de Chau	190 pA	46 pA	4	187 nA	0.15 nA	1250

Comme attendu les valeurs extraites via la méthode de Chau diffèrent de un à deux ordres de grandeurs de la méthode simple. Cependant quelle que soit la méthode utilisée l'amélioration apportée par l'étape de recuit des contacts reste indiscutable. Cependant afin de se conformer au formalisme de la microélectronique nous allons présenter ces valeurs en normalisant les courant par rapport aux dimensions du nanofil. Il est possible de normaliser par rapport à la circonférence du nanofil mais également par rapport à son diamètre . On peut comprendre que le résultat ne sera pas le même dans les deux cas de figure. La normalisation à la circonférence est physiquement la meilleure. Elle tient compte de la véritable dimension du nanofil. La normalisation au diamètre revient à considérer la projection d'un nanofil. Cette dernière est fausse physiquement mais est la plus adaptée en terme de design, en effet le dessin des circuit intégrés se fait toujours en 2D.

TABLE 2.4 – Normalisation des courants à l'état ouvert et fermé d'un transistor à nanofil selon deux méthodes standards. Les courants sont exprimés en μ A/ μ m.

Extraction des courants	Normalisation	Avant Recuit		Après Recuit	
		I_{ON}	I_{OFF}	I_{ON}	I_{OFF}
Méthode Simple	Diamètre	$8.6 \cdot 10^{-3}$	$3.4 \cdot 10^{-5}$	8.6	$3.4 \cdot 10^{-4}$
	Circonférence	$2.7 \cdot 10^{-3}$	$1.1 \cdot 10^{-5}$	2.7	$1 \cdot 10^{-4}$
Méthode de Chau	Diamètre	$1.6 \cdot 10^{-3}$	$4 \cdot 10^{-4}$	1.6	$1.3 \cdot 10^{-3}$
	Circonférence	$5.2 \cdot 10^{-4}$	$1.3 \cdot 10^{-4}$	0.51	$4 \cdot 10^{-4}$

Nous constatons qu'après recuit et quelle que soit la méthode d'extraction ou de normalisation utilisée les courants dans l'état ouvert sont de l'ordre du μ A/ μ m et les courants dans l'état fermé sont inférieurs à $1 \cdot 10^{-3} \mu$ A/ μ m. Si nous comparons nos résultats aux standards exigés par l'ITRS, qui sont les plus draconiens possibles, concernant les dispositifs LOP (Low Operating Power) ou Faible Puissance de Fonctionnement, les performances désirées dans le rapport 2011 sont de l'ordre 500 μ A/ μ m à l'état passant et de 5 nA/ μ m à l'état bloqué. Bien que nos dispositifs soient parfaitement en accord avec les besoins en terme de courant de fuite dans l'état bloqué ces derniers sont malheureusement encore loin de satisfaire aux besoins de courant à l'état passant. Ceci est principalement dû à la technologie SBFET employée. Comme nous l'avons déjà expliqué il faudra impérativement moduler la valeur de la hauteur de barrière Schottky afin d'augmenter le courant à l'état passant. Pour cela le dopage des nanofils pourra être envisagé avec évidemment les contraintes que cela implique en terme d'abrupté de jonction.

– Densité de courant

Un autre paramètre couramment utilisé dans le domaine du transport dans les nanofils est la densité de courant passant dans ces derniers. Contrairement aux courants normalisés vus précédemment cette valeur est beaucoup plus appréciable car plus explicite et accessible à toute personne n'étant pas spécialiste du domaine.

Elle permet ainsi une comparaison rapide et efficace avec l'état de l'art. Pour la calculer nous prenons cette fois-ci la valeur maximum du courant traversant le nanofil dans son état ouvert puis la divisons par la section du nanofil. Ainsi avant recuit des contacts la densité de courant mesurée est de l'ordre de 9 A.cm⁻² et atteint 9.5 kA.cm⁻² après recuit. Certains dispositifs atteignent un maximum de 28 kA.cm⁻². Ces densités de courant sont comparables à celles obtenues dans la littérature [[22, 23, 38]].

– Mobilité des porteurs

Comme il l'a été précisé dans le chapitre précédent l'évaluation de la mobilité des porteurs dans les transistors à nanofil à barrière Schottky est relativement complexe. Dans un premier temps, et afin de se positionner par rapport aux précédents travaux nous calculons la mobilité apparente. La première étape consiste à calculer la valeur de la capacité de couplage entre la grille et le nanofil. Le modèle cylindre-sur-plan permet d'avoir une bonne estimation de cette capacité à l'aide de la formule suivante :

$$C_{ox} = \frac{2\pi\epsilon_0\epsilon_r L}{\cosh^{-1}\left(\frac{r+t_{ox}}{r}\right)} \quad (2.19)$$

avec ϵ_0 la permittivité du vide, ϵ_r la permittivité relative de l'oxyde de grille considéré, L la longueur de la grille, r le rayon du nanofil et t_{ox} l'épaisseur de l'oxyde de grille. Nous utilisons cette expression de la capacité pour la réinjecter dans le calcul de la mobilité apparente :

$$\mu = \frac{dI_{DS}}{dV_{GS}} \frac{L^2}{C_{ox}} \frac{1}{V_{DS}} \quad (2.20)$$

Pour les meilleurs dispositifs réalisés et dont les caractéristiques sont présentées en figure 2.24, les mobilités apparentes des trous atteignent des valeurs de l'ordre de 270 cm².V⁻¹.s⁻¹. Cette valeur est conforme à celles rapportées précédemment dans la littérature [22]. Elle reste malgré tout inférieure à celle du silicium massif. Il faut cependant garder à l'esprit que les nanofils sont dans notre cas non-oxydés et exposés à l'atmosphère ambiante lors des caractérisations et sont ainsi sensibles aux variations électrostatiques de leur environnement (nous allons voir à quel point la surface des fils joue un rôle primordial dans leur comportement électrique dans la partie suivante).

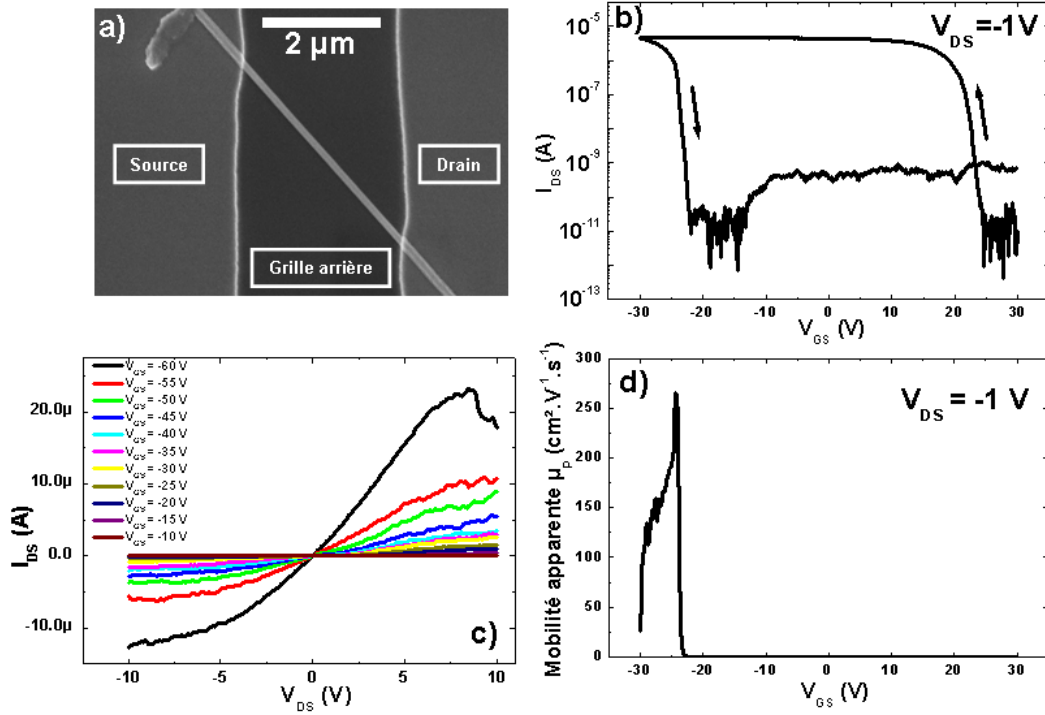


FIGURE 2.24 – a) Image MEB d'un dispositif à nanofil. b) caractéristique $I_{DS} - V_{GS}$ du dispositif présenté en (a) pour une tension de drain de -1 V. c) caractéristique $I_{DS} - V_{DS}$ à différentes tensions de grille arrière du dispositif (a). d) mobilité apparente extraite de la courbe (b) en se basant sur l'équation 2.5.2.5

La valeur de la mobilité ainsi calculée doit être considérée comme une valeur limite basse car elle ne tient en aucun cas compte des résistances d'accès. Il est en effet difficile dans cette configuration d'inclure les effets de ces résistances car elles évoluent en même temps que la polarisation de grille arrière. Une méthode fiable pour extraire la mobilité des porteurs de ce type de structure serait une mesure par effet Hall. La réalisation d'une croix de Hall sur des nanofils n'est cependant pas envisageable du fait des faibles dimensions des structures à caractériser. Nous parlerons ainsi dans la plupart des cas de figure de mobilité apparente des porteurs.

Nous observons sur la figure 2.24 b) qu'un aller et retour en tension de grille ne permet pas de superposer les courants mesurés. Ce phénomène d'hystérésis qui apparaît dans tous nos dispositifs mérite que l'on explique son origine physique.

2.5.2.6 Comportement hystérétique des nanofils Si

Les caractéristiques $I_{DS} - V_{GS}$ réalisées en scannant la tension V_{GS} mettent en lumière un phénomène à priori préjudiciable concernant l'utilisation de nanofils comme transistors. Lorsque la polarisation de grille varie des tensions positives vers les tensions négatives, la courbe ainsi obtenue ne se superpose pas à celle enregistrée pour des tensions de grille croissantes. Cet effet d'hystérésis est observé dans tous les dispositifs à nanofils à grille arrière. Comme nous pouvons le voir sur la figure (2.25) ce comportement hystérétique peut s'étendre sur des gammes de plusieurs dizaines de volts de tension de grille. Le balayage en tension de grille étant relativement lent, de l'ordre de la centaine de mV/s les pièges responsables de ce phénomène sont obligatoirement des pièges lents. Ce phénomène est donc directement lié au remplissage de pièges en surface du nanofil certainement localisés dans l'oxyde natif comme nous allons le présenter par la suite. Ceci indique clairement qu'au delà de l'influence de la barrière Schottky sur le comportement électrique des nanofils, leur

environnement direct joue un rôle extrêmement important.

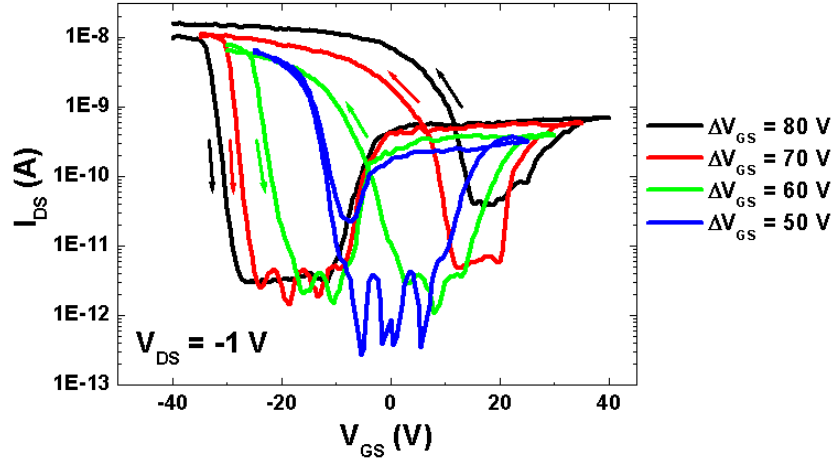


FIGURE 2.25 – Caractéristique $I_{DS} - V_{GS}$ d'un transistor à nanofil pour différentes valeurs de ΔV_{GS} avec une tension de drain de -1 V. Le transistor est de type ambipolaire. Les flèches indiquent le sens du scan de la tension de grille.

On remarque également que la valeur de cette hystérésis est directement liée à la variation de tension de la grille ΔV_{GS} . En effet, plus le scan en V_{GS} est resserré autour de 0 V et moins l'hystérésis est importante comme présenté sur la figure 2.25. Ceci peut s'expliquer par un plus faible remplissage des états pièges en surface du nanofil. Nous constatons que l'hystérésis des trous s'avère être plus sensible à ΔV_{GS} que celle observée pour les électrons. Ceci peut être dû à la nature des pièges.

Dans ce cas particulier le transistor montre un comportement ambipolaire. En effet les trous mais également les électrons peuvent former un canal de conduction suivant la valeur prise par la tension de grille. Dans notre cas le niveau de Fermi de la source et du drain se situe dans la bande interdite du matériau servant de canal de conduction. Si celui-ci est proche d'un bord de bande, alors la barrière à franchir pour un type de porteur est considérablement plus haute que pour l'autre, donnant à la caractéristique $I_{DS} - V_{GS}$ une allure sigmoïdale. Au contraire, si le niveau de Fermi avoisine le milieu de la bande interdite du Si, alors un courant d'électrons sera observé pour des tensions de grille négatives et un courant de trou et pour des tensions de grille positive, induisant un caractère ambipolaire.

Un reproche qui peut être fait à ce genre de dispositifs est l'utilisation d'une couche de nitrure comme diélectrique de grille. En effet ce matériau est connu pour piéger les charges et trouve notamment une grande application dans le domaine des mémoires non-volatiles [34, 71, 72]. Il nous faut donc démontrer que ce phénomène d'hystérésis n'est pas lié au matériau de grille arrière mais bel et bien à l'état de surface du nanofil. Pour cela des dispositifs planaires ont été réalisés en utilisant une couche de 200 nm de SiO_2 comme oxyde de grille. Les caractéristiques électriques sont présentées dans la figure (2.26). L'hystérésis est également présente sur ce genre de dispositifs ce qui indique que la surface du fil est en majeure partie responsable du piégeage de charges. L'amplitude de cette dernière est semblable à celle présente sur les substrats de nitrure de silicium à savoir environ 40 V pour une gamme de balayage de la tension de grille de 80 V.

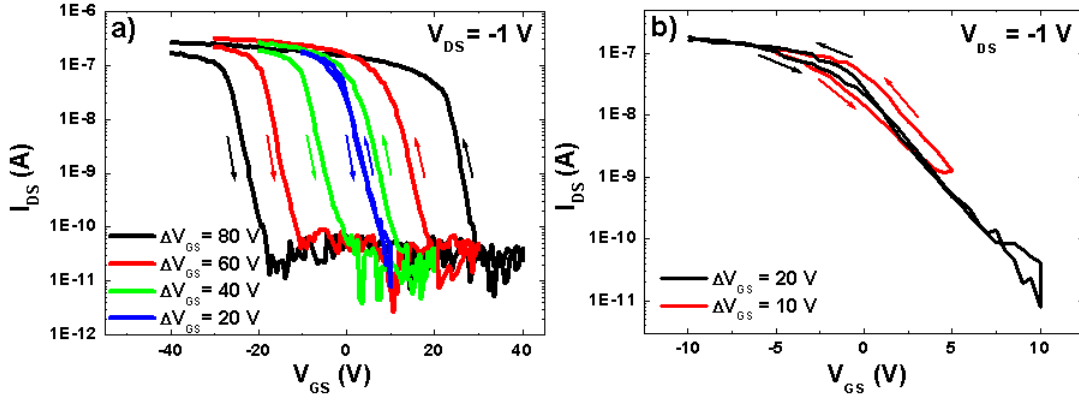


FIGURE 2.26 – a) Courbes $I_{DS} - V_{GS}$ d'un transistor à nanofil pour différentes valeurs de ΔV_{GS} avec une tension de drain de -1 V. b) Courbes $I_{DS} - V_{GS}$ d'un transistor à nanofil pour $\Delta V_{GS} = 20$ V et 10 V. L'oxyde de grille utilisé est une couche de 200 nm de SiO_2 . Le deuxième cas correspond à un cas extrême où le transistor ne présente pas d'état fermé. les flèches indiquent le sens du scan.

La dépendance entre la variation de la tension seuil et la gamme de balayage de la tension de grille est également représentée en figure (2.27). Il est également possible d'estimer grossièrement la quantité de charges piégées en surface du fil et donc la densité de charges piégées en considérant que la variation de tension seuil ΔV_{TH} est liée à la densité de charges par la relation suivante :

$$\Delta V_{TH} C_{ox} = q n_f S_{NF} \quad (2.21)$$

avec C_{ox} la capacité de l'oxyde, n_f la densité de charges, q la charge élémentaire électronique et S_{NF} la surface du nanofil.

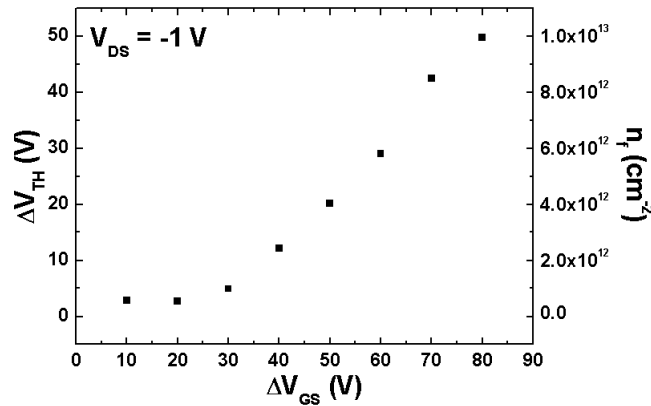


FIGURE 2.27 – Relation entre le décalage de la tension seuil des transistors selon le sens de balayage et la bande de balayage de la tension de grille. L'axe de droite montre la correspondance en terme de densité de charges piégées.

La densité estimée des pièges en surface des nanofils est extrêmement importante de l'ordre de 10^{12} à 10^{13} cm^{-2} . Comme nous l'avons évoqué précédemment, le réponse relativement lente des pièges peut nous laisser penser qu'ils sont situés dans l'oxyde natif enrobant les nanofils qui est de mauvaise qualité diélectrique. Ces pièges peuvent provenir de charges piégées dans l'oxyde par le biais de porteurs chauds. Ces pièges peuvent être localisés à la fois dans l'oxyde et à l'interface oxyde/nanofil comme résumé dans la figure 2.28.

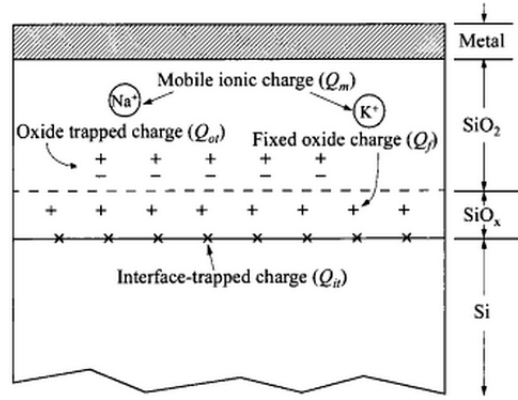


FIGURE 2.28 – Définition des différents types de charges associées à un oxyde de silicium thermique. d'après [73]

La réponse de ces pièges à une tension de grille peut être extrêmement longue. La figure (2.29) montre l'évolution du courant de drain dans le temps en réponse à un échelon de tension de grille. Nous constatons que le courant s'établit selon une loi donnée par la relation :

$$I = I_{\infty} + (I_0 - I_{\infty}) \exp\left(\frac{-t}{\tau}\right)^{\alpha} \quad (2.22)$$

Avec I le courant de drain à un instant t , I_0 et I_{∞} les courants de drain initial et final, t le temps, τ est la constante de temps de piégeage et dépiégeage des états de surface et α ($0 < \alpha < 1$) est la constante de relaxation décrite dans [74]. La valeur $1 - \alpha$ représente l'intensité de la force motrice qui détermine la variation de la croissance ou de la décroissance du courant dans le temps. Cette force change dans le temps à cause du piégeage et dépiégeage des charges qui affecte le taux k de croissance et décroissance du courant. Ce taux k qui est proportionnel à $t^{\alpha-1}$ s'exprime comme

$$k(t) = -\frac{dI}{I(t)dt} \quad (2.23)$$

La valeur de α trouvée égale à 0,88 exprime donc un changement très lent du taux de croissance qui se traduit par une constante de dépiégeage très longue de l'ordre de 41 s. Ce comportement traduit une faible réactivité des nanofils au champ de grille appliqué et donc une complication pour leur possible intégration en tant que composants actifs, tels qu'utilisés ici. Ce comportement est préjudiciable à l'utilisation des nanofils comme transistors car il empêche d'avoir une reproductibilité du comportement des dispositifs lors du balayage en tension de grille. Il serait donc intéressant de trouver une méthode permettant de réduire l'hystérésis.

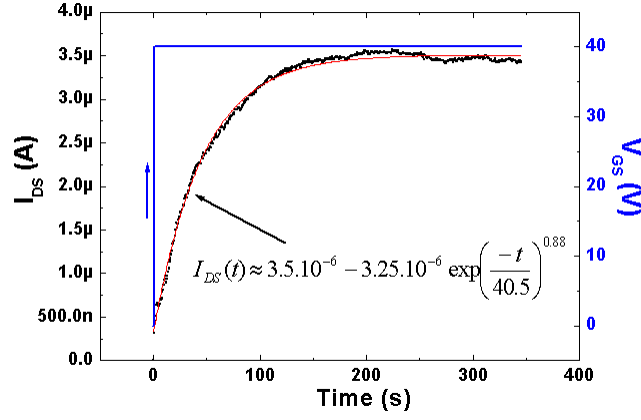


FIGURE 2.29 – Évolution temporelle du courant de drain d'un transistor à nanofil en réponse à un échelon de tension de grille. La courbe bleue représente le chronogramme de la tension de grille.

Le but est désormais de vérifier s'il est possible de modifier la nature de la surface des nanofils afin de les rendre le moins sensible possible à leur environnement. Une première façon de faire est d'enrober les dispositifs déjà fabriqués dans un matériau diélectrique afin de les isoler du milieu de caractérisation qui rappelons-le n'est autre que l'air ambiant. La méthode la plus adaptée est le dépôt par couche atomiques. Cette méthode permet de combiner à la fois la conformité du dépôt, et donc un parfait enrobage des fils, et la possibilité de déposer un oxyde comme l'alumine (Al_2O_3).

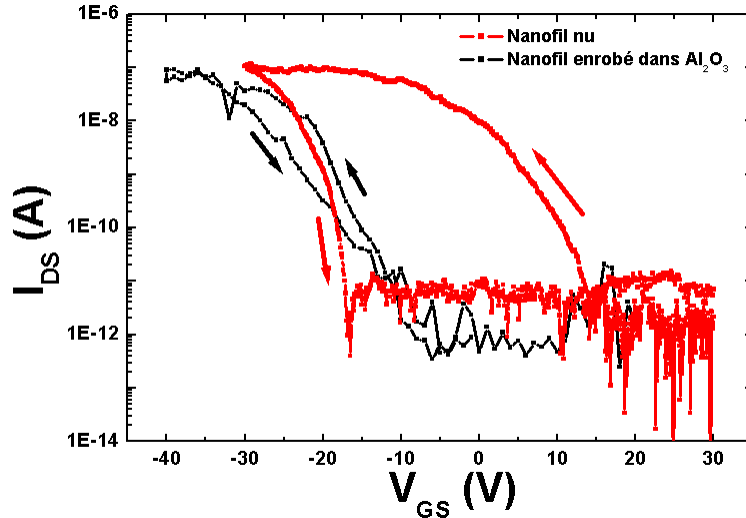


FIGURE 2.30 – Caractéristique $I_{DS} - V_{GS}$ d'un transistor à nanofil Si avant et après enrobage par ALD d'une couche d'alumine.

Comme nous le voyons sur la figure (2.30) le dépôt d'une couche d'alumine sur le nanofil a pour effet de réduire considérablement la valeur de l'hystérésis lors d'un scan en tension de grille arrière. Cet effet de réduction d'hystérésis par modification de l'environnement direct du nanofil a également été observé par d'autres équipes [75, 76, 77]. Cette observation nous laisse penser que la configuration verticale permettra très certainement d'obtenir de faibles hystérésis car non seulement les nanofils seront enrobés dans un oxyde après désoxydation mais la structure entière sera elle-même noyée dans une couche d'isolant comme nous le présenterons par la suite. Quantitativement la densité de pièges extrapolée à partir de la figure 2.30 passe

d'environ $1.10^{13} \text{ cm}^{-2}$ à $1,3.10^{12} \text{ cm}^{-2}$. Bien que la valeur après dépôt d'alumine demeure élevée ceci démontre l'efficacité d'une telle couche.

Nous venons de voir que le phénomène d'hystérésis, lors de la variation de la tension de grille, pouvait être atténué en déposant un oxyde high-k autour des nanofils. L'utilisation d'un tel oxyde laisse penser qu'il serait donc également possible d'utiliser l'oxyde naturel du silicium comme couche de passivation de surface. Un dépôt ALD nécessite cependant un important développement en terme de procédé afin d'en améliorer la qualité diélectrique, ce qui n'est pas l'objet de cette thèse. Afin de procéder à la réalisation d'un démonstrateur il nous faudra donc utiliser un procédé plus reproductible et de qualité garantie telle que l'oxydation thermique. Nous allons donc étudier l'effet d'une coquille d'oxyde thermique sur le comportement électrique des transistors à nanofils. Cela nous permettra ensuite de comprendre le comportement des transistors verticaux ayant un oxyde thermique comme diélectrique de grille.

2.5.3 Nanofils de Si oxydés

2.5.3.1 Introduction

L'oxyde naturel du silicium a été longtemps utilisé comme oxyde de grille dans la technologie MOSFET avant d'être remplacé par de l'oxyde de hafnium. Les procédés de dépôt ALD d'alumine n'étant pas optimisés sur notre machine pour obtenir la meilleur couche diélectrique qu'il soit nous décidons d'étudier l'impact d'un oxyde thermique sur le comportement électrique des nanofils. Nous utiliserons cet oxyde pour réaliser un démonstrateur de transistor vertical aussi est-il important de comprendre l'influence qu'une telle couche d'isolant peut avoir sur le comportement des transistors.

2.5.3.2 Comportement sous champ

Avant tout traitement thermique nous procédons à une gravure de l'or ayant servi à catalyser la réaction VLS car ce dernier pourrait catalyser localement l'oxydation et donc nuire à son contrôle. Cette catalyse a été mise en avant dans d'autres travaux [78, 79, 80] pour des températures d'oxydation sous atmosphère sèche allant de $750 \text{ }^{\circ}\text{C}$ à $1000 \text{ }^{\circ}\text{C}$. Dans notre cas l'oxydation est effectuée à $1000 \text{ }^{\circ}\text{C}$ pendant 5 minutes dans un four RTP à pression atmosphérique sous un débit de 2000 sccm d'oxygène. Les mesures ellipsométriques sur substrat $\langle 111 \rangle$ nous permettent d'obtenir une couche d'environ 25 nm d'oxyde autour des fils, ce qui est confirmé par les images MEB. Nous réalisons alors les mêmes dispositifs que précédemment. Le dispositif présente un comportement très fortement redresseur ce qui est caractéristique de l'asymétrie des contacts (figure 2.31).

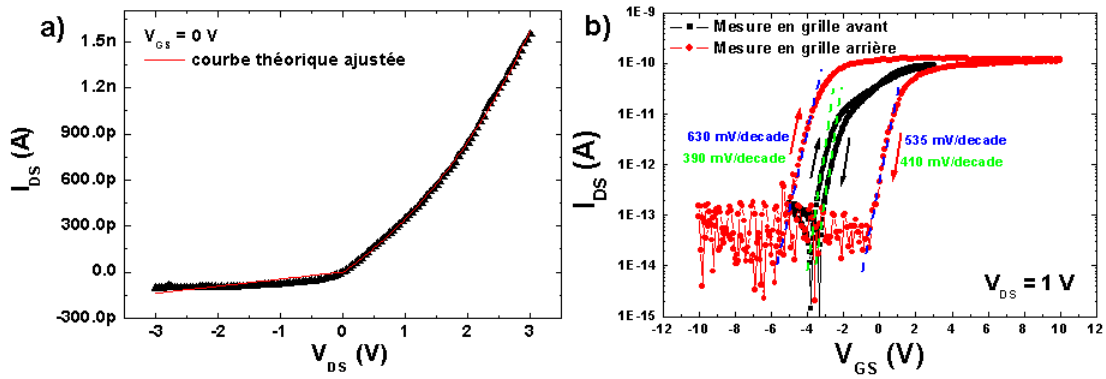


FIGURE 2.31 – a) courbe $I_{DS} - V_{GS}$ d'un transistor à nanofil Si oxydé à 1000°C pendant 5 minutes pour une tension de grille arrière de 0V. b) Caractéristiques $I_{DS} - V_{GS}$ pour deux configurations de grille.

De plus nous constatons que le courant parcourant le nanofil à l'état ouvert est très faible, de l'ordre de 0.1 nA contrairement à un nanofil non oxydé dont le courant peut aller jusqu'à 5 μA . Il faut cependant souligner la valeur de la pente sous le seuil qui avoisine les 600 mV/décade en configuration grille arrière qui est inférieure à celle relevée sur des nanofils non oxydés. Ceci est très certainement dû à l'oxydation du nanofil qui diminue la quantité de liaisons pendantes disponibles à la surface du fil, améliorant par là-même la passivation de la surface du fil. Nous remarquons malgré tout la forte valeur d'hystérésis qui avoisine les 5 V. Cette valeur reste tout de même très inférieure à celles relevées sur les nanofils non oxydés. La densité de pièges peut donc être évaluée à environ $1.10^{12} \cdot \text{cm}^{-2}$ ce qui représente un ordre de grandeur de moins que pour les nanofils non oxydés. Bien que cette valeur ait diminuée elle reste importante. Nous allons nous intéresser à l'aspect des nanofils une fois contactés afin d'identifier la raison d'une telle valeur d'hystérésis.

Un examen de la figure 2.32 nous montre que le canal n'est pas oxydé sur tout sa longueur. En effet, lors de la désoxydation chimique du fil avant la reprise de contacts, le HF a gravé non seulement l'oxyde situé au niveau des futurs contacts mais aussi une portion significative du SiO_2 enterré dans la résine, par effet de capillarité (figure 2.32). Notre dispositif présente donc deux zones adjacentes aux contacts métalliques où le silicium se retrouve à nu, et donc sujet à réoxydation. Du fait de la présence d'un interstice d'air correspondant à l'épaisseur d'oxyde gravé entre le canal et le diélectrique de grille, la capacité de couplage entre l'électrode de grille et le canal se trouve amoindrie et conduit à un peuplement des pièges lents moins efficace que pour un nanofil brut de croissance. Ceci contribue certainement, avec la réalisation d'un oxyde thermique, à diminuer le phénomène d'hystérésis observé sur la tension de grille.

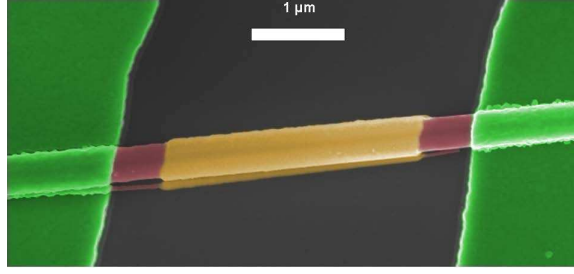


FIGURE 2.32 – Image MEB colorisée d’un nanofil oxydé entre deux contacts métalliques. La partie orange représente l’oxyde thermique, la partie rouge représente le nanofil nu et les zones vertes correspondent aux contacts métalliques. On constate de façon évidente le retrait d’oxyde le long du nanofil causé par un effet de capillarité lors de la désoxydation en voie humide. On remarque que deux nanofils ont été contactés en même temps.

La présence d’un oxyde thermique autour des fils permet également de réaliser par lithographie une grille avant. L’utilisation de cette grille avant permet alors un meilleur contrôle électrostatique du canal grâce à la faible épaisseur d’oxyde thermique. Comme nous pouvons le voir en figure 2.31 b), l’hystérésis est considérablement réduite dans cette configuration. Puisque la grille avant n’est pas couplée électrostatiquement avec les zones non oxydées proches des contacts contrairement à la grille arrière, nous en déduisons que les pièges lents se trouvent principalement en surface des zones présentant un oxyde natif. En somme, hormis l’amélioration de la pente sous le seuil à l’issue de l’oxydation thermique de la surface du canal, nous observons très nettement sur les caractéristiques $I_{DS} - V_{GS}$ de la figure 2.31b) un comportement différent. Nous constatons que les nanofils se comportent comme un semi-conducteur de type n lieu du type p habituel observé jusqu’à présent comme le montre la figure 2.31 b) . Nous allons désormais nous intéresser à ce phénomène de changement de type de dopage.

2.5.3.3 Inversion de dopage

Nous venons de voir que le type de dopage des nanofils change lorsque ces derniers sont oxydés thermiquement. Afin de comprendre son origine, nous avons procédé à toute une série d’expériences permettant de déconvoluer les effets de surface et de volume induits par le recuit oxydant sur les propriétés globales du fil. Nous avons tout d’abord constitué un lot de nanofils oxydés thermiquement. Une première moitié de l’échantillon a été utilisée telle quelle pour réaliser des transistors alors que la seconde moitié a été désoxydée puis utilisée pour constituer un deuxième jeu de transistors. Si la présence de charges fixes à l’interface est responsable de cette inversion, alors les fils désoxydés devraient se comporter comme des semi-conducteurs de type p. La figure 2.33 présente les mesures effectuées sur des fils oxydés et oxydés puis désoxydés.

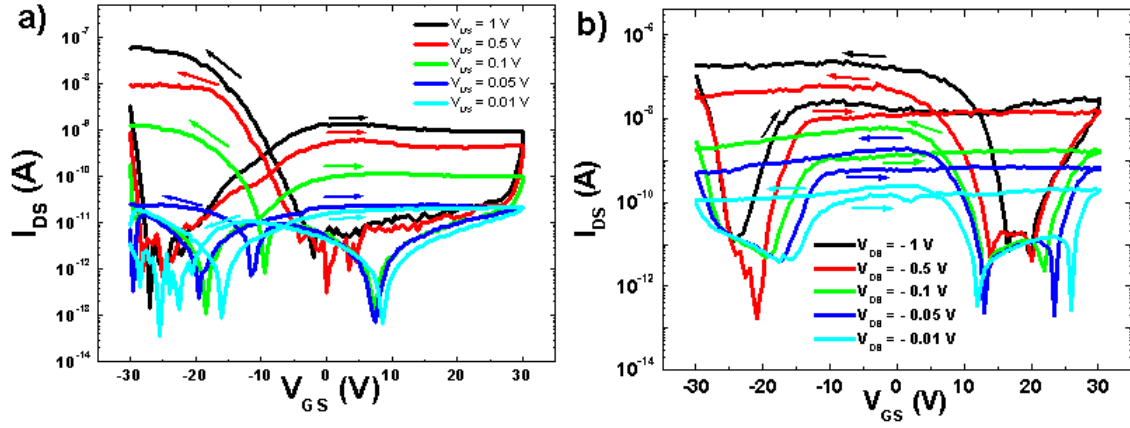


FIGURE 2.33 – Caractéristiques $I_{DS} - V_{GS}$ à différents V_{DS} typiques de nanofils Si a) oxydé thermiquement à 800°C pendant 15 minutes. b) oxydé thermiquement à 800 °C pendant 15 minutes et désoxydé dans une bain de HF 10%.

Quel que soit l'état de surface du canal du transistor, nous constatons que le niveau de courant à $V_{GS} = 0$ V est très proche de la valeur de la saturation obtenue pour $V_{GS} \gg 0$ V, et lorsque l'on balaie la tension de grille dans le sens des polarisations croissantes. Ceci démontre que les deux catégories de fils sont de type n. Nous constatons également que lorsque nous diminuons V_{GS} et passons à des polarisations de grille négatives, le niveau de courant, après être passé par un minimum, augmente et peut même prendre des valeurs supérieures à celles observées pour les V_{GS} positifs, attestant à la fois d'un caractère fortement ambipolaire et d'une hauteur de barrière pouvant être avantageusement plus faible pour les trous. On constate que les deux dispositifs, qu'ils soient oxydés ou désoxydés se comportent de la même façon à savoir de manière ambipolaire avec une plus forte injection des trous que des électrons et avec des niveaux de courants tout à fait comparables. Nous pouvons ainsi conclure que la présence ou non d'un oxyde thermique à la surface des nanofils ne peut pas être responsable de l'apparition de la branche n dans les caractéristiques $I_{DS} - V_{GS}$ des transistors. Une seule possibilité est alors à envisager. L'inversion de dopage est due à l'activation d'impuretés dopantes de type n. Pour s'assurer de cette hypothèse il suffit de recuire les nanofils sous des conditions non oxydantes et à haute température pendant un temps bref. En effets les impuretés dopantes sont connues pour s'activer à partir de 900°C. Nous avons donc recuit des nanofils à 1000°C sous atmosphère inerte d'azote pendant 30 secondes. Les caractéristiques $I_{DS} - V_{GS}$ et $I_{DS} - V_{DS}$ des transistors obtenus sont présentés sur la figure 2.34. Après ce court traitement à haute température, les fils adoptent un comportement purement n avec des niveaux de courants à l'état ouvert de l'ordre de 10 μ A pour $V_{DS} = 1$ V. Nous remarquons également comme pour les fils oxydés un comportement ambipolaire avec cependant une contribution des trous très faible. Ceci peut s'expliquer par la modification du niveau de Fermi lors de l'activation des impuretés engendrant ainsi une barrière Schottky beaucoup plus faible pour les électrons que pour les trous. La quantité d'impuretés activées est donc loin d'être négligeable et leur présence doit être prise en compte en cas d'utilisation de procédés thermiques. La seule méthode permettant d'identifier des dopants à des niveaux relativement faibles ($<10^{18}$ cm^{-3}) serait une mesure de type effet Hall. Cependant une telle structure de test n'est pas réalisable sur un nanofil unique.

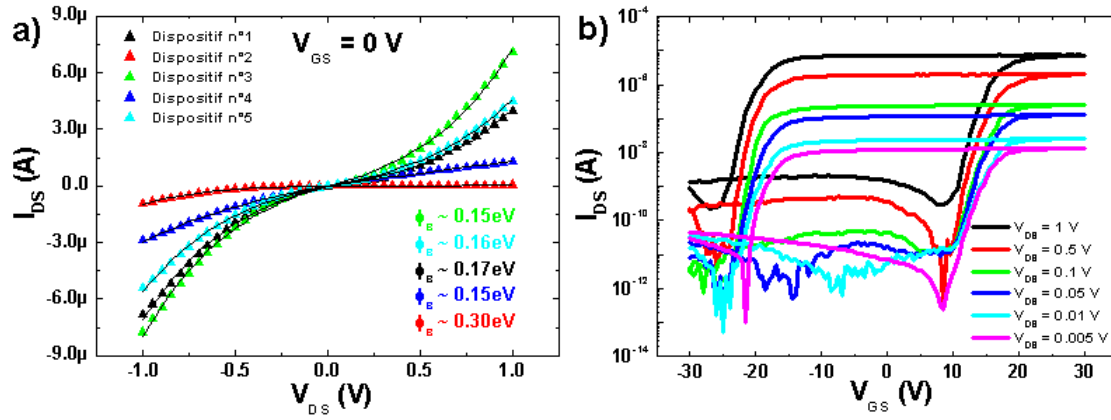


FIGURE 2.34 – Caractéristiques électriques a) $I_{DS} - V_{DS}$ à $V_{GS} = 0$ V de 5 dispositifs différents recuit à 1000°C pendant 30 s. Les traits pleins en noir représentent les valeurs de l'émission thermoionique théoriques ajustées permettant d'extraire la valeur de hauteur de barrière. b) $I_{DS} - V_{GS}$ du dispositif n°3 pour différentes valeurs de V_{DS} .

De nombreuses équipes pensent que l'or pourrait être responsable du dopage non intentionnel de type p des nanofils en raison de la profondeur des états accepteurs qu'il peut induire [39, 81]. Cependant il existe également des états donneurs eux aussi relativement profonds. La question est donc la suivante : l'or peut-il être la cause de l'inversion de dopage des nanofils? Pour clarifier la situation, des nanofils de silicium ont été crus avec un catalyseur Palladium. Le Palladium ne peut en effet induire que des états accepteurs dans le gap du silicium comme présenté en figure 2.35.

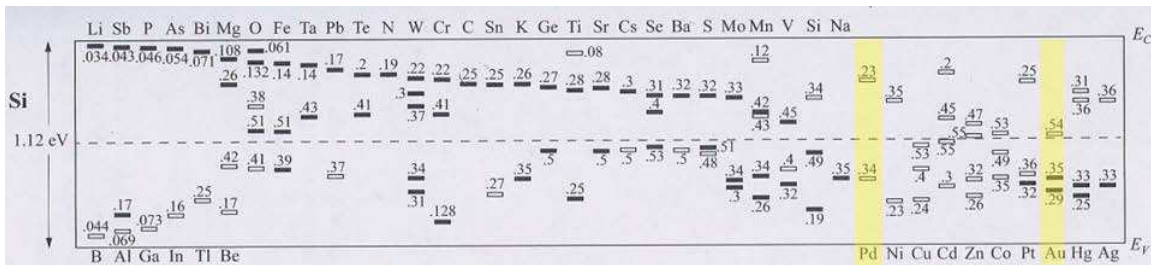


FIGURE 2.35 – Energies d'ionisation mesurées pour diverses impuretés dans le silicium. Les niveaux sous le gap sont mesurés à partir de E_V et ceux au-dessus à partir de E_C . Les traits pleins représentent les niveaux donneurs et les traits creux les niveaux accepteurs. D'après [7]

Ainsi si l'or est responsable de l'inversion de dopage, les nanofils catalysés palladium ne doivent pas présenter d'inversion lors d'un recuit thermique. Nous constatons cependant sur la figure suivante qu'une fois recuits à 1000°C pendant 30s, les nanofils catalysés palladium présentent eux aussi une forte inversion de dopage. Ceci indique clairement que la nature du catalyseur n'est en rien responsable de l'inversion du dopage des nanofils. Le doute est alors permis concernant la contamination du four de recuit. Ce dernier est en effet utilisé pour réaliser des recuits thermiques sur de nombreux types d'échantillons autres que du silicium. Des échantillons de GaAs ont notamment été introduits dans la chambre. L'arsenic étant un élément dopant du silicium de type n nous pouvons craindre que les nanofils ont été contaminés lors des recuits par ces impuretés. Aussi pour valider ou invalider cette hypothèse, des nanofils de silicium obtenus par gravure plasma, et donc ne mettant en jeu aucun catalyseur métallique, ont également été recuits. Les nanofils ont été obtenus par gravure de substrat $\langle 100 \rangle$ dopés de type p. Les caractéristiques électriques sont présentées ci-après.

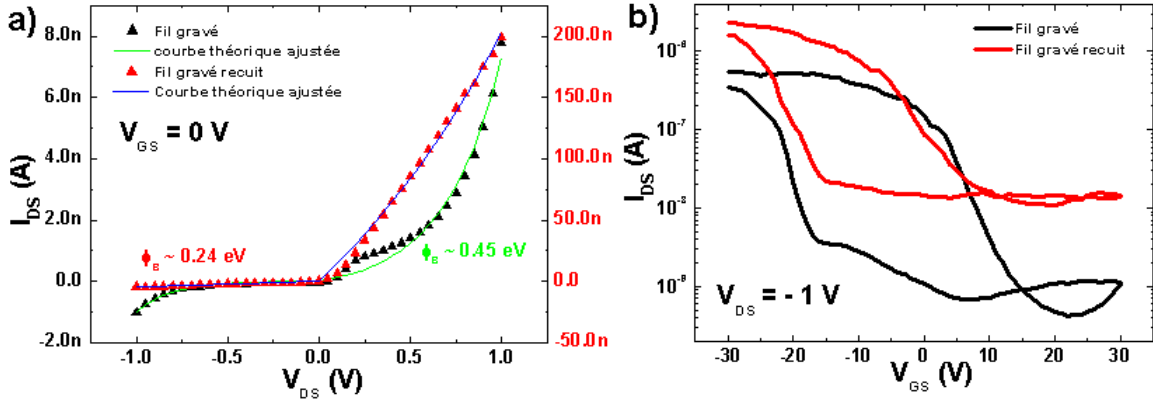


FIGURE 2.36 – Caractéristiques a) $I_{DS} - V_{DS}$ pour $V_{GS} = 0$ V avec les traits pleins représentant l'émission thermoionique théorique ajustée aux valeurs expérimentales. b) $I_{DS} - V_{GS}$ pour $V_{DS} = -1$ V de transistors utilisant des nanofils obtenus par gravure plasma d'une plaque de silicium. Le recuit à haute température de ces nanofils ne semble pas induire de changement dans le type de dopage des structures.

Nous notons une différence de comportement en terme de niveaux de courant aux états ouvert et fermé. Ceci peut être la conséquence d'un abaissement de barrière Schottky pour les deux types de porteurs. Ainsi les trous et les électrons peuvent former un canal de conduction. Cependant il est évident que ces deux transistors ont un comportement de type p. Nous pouvons donc conclure que le four de recuit rapide n'est en aucun cas contaminé en impuretés dopantes n. Il ne reste donc qu'une possibilité à envisager. Les impuretés doivent forcément être présentes dans le cœur du nanofil après son élaboration. Afin de conclure cette étude il faut pouvoir étudier des nanofils obtenus par croissance VLS catalysée à l'or mais élaborés dans une autre machine. Nous choisissons des nanofils provenant d'une machine utilisée par le passé dans la croissance de nanofils de silicium, de marque Epigress, et dont le réacteur n'a jamais été exposé à des espèces dopantes du silicium. En effet aucun dopage n'était possible dans cette machine et donc si le dopage des fils n'est pas inversé après recuit cela signifiera que les impuretés de type n proviennent bien de la machine CVD EasyTube 3000 utilisée dans le cadre de cette thèse. Les caractéristiques électriques de ces nanofils sont présentées en figure (2.37).

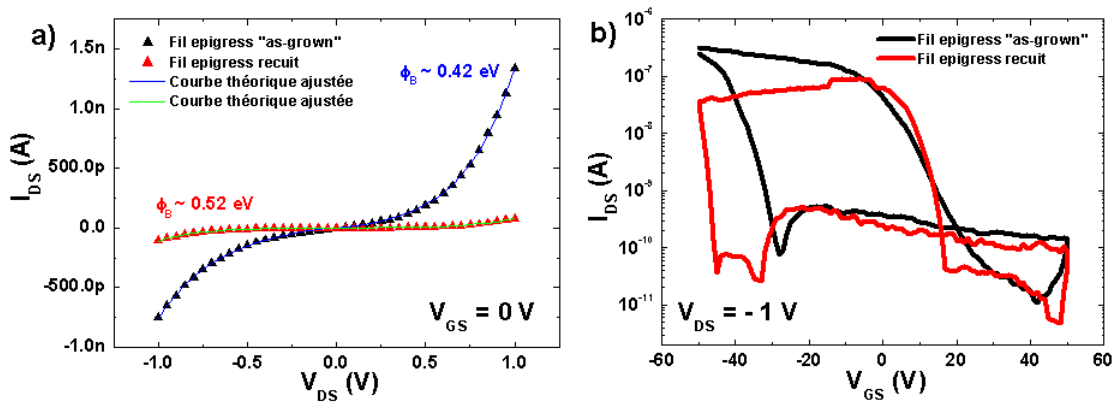


FIGURE 2.37 – a) Caractéristique $I_{DS} - V_{DS}$ pour $V_{GS} = 0$ V de transistors à nanofils crus dans la machine epigress. Les traits pleins représentent l'émission thermoionique théorique ajustée aux valeurs expérimentales. b) Courbes $I_{DS} - V_{GS}$ pour $V_{DS} = -1$ V pour ces mêmes transistors. Un recuit haute température sur ces fils ne semble pas induire de changement notable dans le type de dopage des nanofils.

Comme attendu l'inversion de dopage lors du recuit n'est pas observée dans les nanofils issus de la machine de croissance Epigress. Aussi nous pouvons conclure que ce phénomène d'inversion est dû à l'activation post croissance d'impuretés donneuses incluses dans les nanofils au moment de leur croissance. L'hypothèse la plus plausible concernant la nature de ces impuretés est qu'il s'agisse de phosphore. La phosphine étant utilisée pour doper les fils n, il est fortement probable que le dépôt présent sur le tube de la CVD réémette du phosphore lors des montées en température du réacteur ayant lieu pendant la croissance des fils. Ce phosphore peut alors s'incorporer dans les nanofils de la même manière que lorsqu'ils sont dopés de façon intentionnelle mais à des taux plus faibles.

Nous venons de voir que les nanofils sont intrinsèquement riches en impuretés de type donneuses et que ces dernières peuvent facilement être activées thermiquement au point de compenser le dopage résiduel p et même de devenir le type dominant. Nous allons désormais voir si l'atmosphère de recuit (neutre ou oxydante) peut à son tour avoir un rôle dans le comportement électrique des fils après recuit.

2.5.3.4 Influence de l'atmosphère du recuit.

Afin d'observer l'effet de l'atmosphère de recuit sur le comportement des fils nous avons choisi de travailler à 1000°C qui est une température permettant d'activer efficacement les impuretés comme nous l'avons vu précédemment. Un lot de fils a été recuit pendant 30 secondes sous azote tandis que l'autre l'a été pendant 30 secondes sous oxygène. La figure (2.38) présente les caractéristiques électriques des dispositifs réalisés avec ces fils.

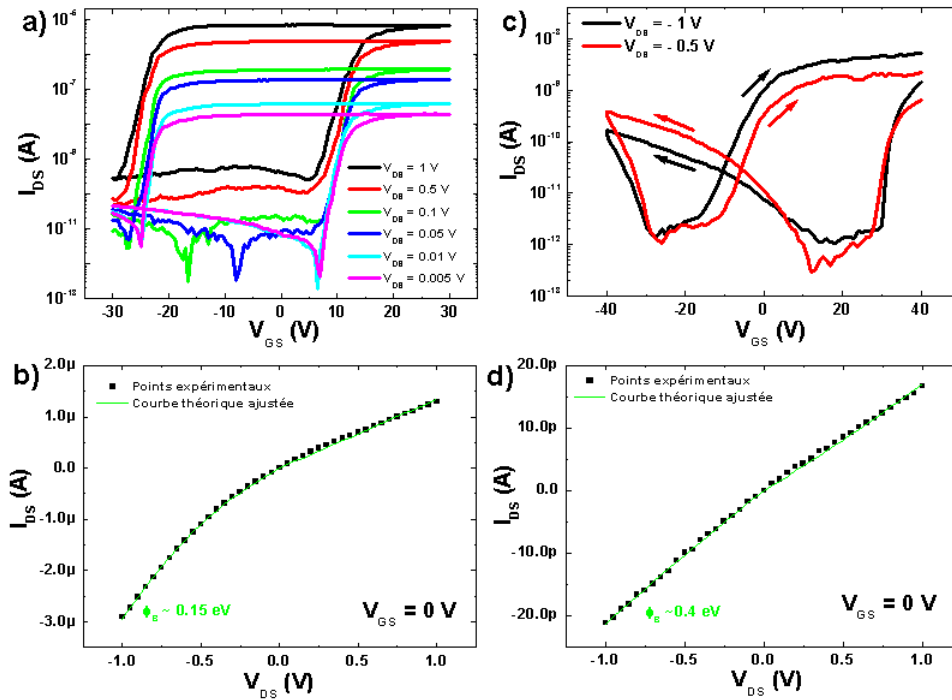


FIGURE 2.38 – a) et b) caractéristiques $I_{DS} - V_{GS}$ pour différents V_{DS} et $I_{DS} - V_{DS}$ à $V_{GS} = 0V$ d'un nanofil recuit à 1000°C pendant 30 secondes sous atmosphère d'azote. c) et d) caractéristiques $I_{DS} - V_{GS}$ pour différents V_{DS} et $I_{DS} - V_{DS}$ à $V_{GS} = 0V$ d'un nanofil recuit à 1000°C pendant 30 secondes sous atmosphère d'oxygène.

Les deux dispositifs présentés ici représentent parfaitement le comportement de tous les dispositifs réalisés.

Nous remarquons en effet que lorsque le recuit est effectué sous azote le dopage des nanofils est totalement inversé, en effet nous n’observons aucun comportement ambipolaire. Ceci implique également que la hauteur de barrière vue par les trous est trop importante pour être franchie. De fait, les transistors sont parfaitement unipolaires de type n. Par contre lorsque le recuit est effectué sous oxygène, les impuretés donneuses sont certes activées mais la branche p reste visible sur les caractéristiques $I_{DS} - V_{GS}$ (fig (2.38 c)). Ceci s’accompagne également d’une diminution des niveaux de courants ce qui peut être facilement expliqué par la compensation mutuelle des dopants. Comment expliquer dès lors que la présence d’oxygène contribue à la présence des impuretés accepteuses? Nous pouvons voir ce phénomène comme suit :

1. Lors du recuit sous azote les impuretés accepteuses diffusent rapidement vers la surface du fil allant jusqu’à se solubiliser dans la coquille d’oxyde natif où elles se désactivent comme montré par Fukata et al [82] pendant que les impuretés donneuses sont activées thermiquement au cœur du fil. De cette manière les fils adoptent un comportement purement type n sans la présence de la branche p.
2. Lors du recuit sous oxygène, le fil s’oxyde thermiquement en surface, les impuretés accepteuses diffusent rapidement vers la surface du nanofil mais diffusent plus difficilement dans l’oxyde thermique que dans le natif notamment à cause de sa densité plus importante. Ainsi des impuretés accepteuses demeurent activées expliquant la présence d’une branche p et la diminution de la contribution de la branche n par effet de compensation.

TABLE 2.5 – Coefficients de diffusion du Bore et de Phosphore dans le silicium cristallin et l’oxyde de silicium d’après

Impuretés	D_{Si} (1000 °C)	D_{SiO_2} (1000 °C)
Bore (B)	$3,3 \cdot 10^{-12} \text{ cm}^2 \cdot \text{s}^{-1}$ [83, 84, 85]	$8 \cdot 10^{-18} \text{ cm}^2 \cdot \text{s}^{-1}$ [86]
Phosphore (P)	$1,9 \cdot 10^{-17}$ [87, 88, 89, 90, 91] $\text{cm}^2 \cdot \text{s}^{-1}$	$2,14 \cdot 10^{-17} \text{ cm}^2 \cdot \text{s}^{-1}$ [86]

De récentes mesures [82] ont également démontré que le phosphore, lors d’une oxydation, avait tendance à demeurer au sein du nanofil alors que le bore tendait plutôt à diffuser vers l’oxyde jusqu’à se solubiliser. Ce comportement a également été étudié sur des substrats massifs de silicium et la même conclusion en a été tirée[92].

D’après ce que nous venons d’expliquer tous les fils oxydés thermiquement doivent donc avoir un comportement ambipolaire. Ce n’est cependant pas le cas pour le transistor présenté en figure 2.31. Ceci est simplement du au fait que ce fil a été oxydé pendant une durée beaucoup plus importante permettant ainsi à un grand nombre d’impuretés de type p de migrer dans l’oxyde et de se désactiver.

Il va de soi qu’un tel phénomène est préjudiciable pour la fabrication de dispositifs à nanofils. Cependant des solutions peuvent tendre à éliminer ce phénomène d’incorporation d’impuretés si des mesures adéquates sont prises lors de la croissance comme :

1. L’utilisation d’étapes de nettoyage permettant de graver le dépôt du tube et d’étapes de dépôt pour reconditionner la machine. Cette idée assez attractive pose le problème de la durée des procédés.
2. L’utilisation d’un chauffage inductif au lieu d’un chauffage résistif permettant de localiser la zone chaude de procédé au porte échantillon. Ceci limite les phénomènes de dépôts sur les parois du tube et donc la constitution d’un réservoir d’impuretés dopantes qui seraient relarguées au cours des procédés ultérieurs.

Le fait que ces propositions ne soient pas applicables dans notre cas pour des raisons de disponibilité de la machine et de coût fera que les nanofils de silicium élaborés à 600 °C présenteront toujours ce phénomène d’inversion en cas de traitement thermique.

Un point positif à souligner est le très bon comportement de ce type de dispositif. En effet pour une tension de drain de 1 V la transconductance obtenue est de l'ordre de 1,12 μS . La mobilité apparente des porteurs est ainsi estimée autour de 246 $\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$. Cette valeur est certes encore inférieure à celle du silicium massif et également à celle obtenue sur des nanofils de type p mais il est important de noter qu'aucun recuit d'optimisation des contacts n'a été effectué. Il est donc possible que les nanofils, une fois recuits, soient purifiés et que la mobilité intrinsèque des porteurs s'en trouve augmentée. Malheureusement, dans le cadre de l'utilisation de nos nanofils dans des procédés d'intégration verticale à visée notamment d'interconnexion, le budget thermique de nos procédés doit rester limité, rendant donc inenvisageable l'utilisation de tels recuits pour améliorer les performances électriques des nanofils. Il faut garder à l'esprit ce phénomène afin d'éventuellement optimiser le matériau pour d'autres applications.

Nous avons vu l'influence de l'oxydation des nanofils sur les propriétés électriques des nanofils et avons également mis en évidence un phénomène de contamination croisée avec les autres croissances ayant lieu dans la machine et utilisant des gaz dopants n. Nous avons constaté que la seule architecture présentée ici se résume à une grille arrière contrôlant à la fois la résistance des contacts et la densité de porteurs dans le canal. Afin de contrôler de manière indépendante le canal et les résistances de contact une nouvelle architecture a été proposée : la structure double grille.

2.6 Transistors planaires à double grille à nanofil Si

Comme présenté au début de ce chapitre cette configuration permet d'obtenir une grille avant totalement enrobante tout en gardant une grille arrière qui, elle, permet de piloter les résistances d'accès. Un dispositif est représenté sur la figure 2.39.

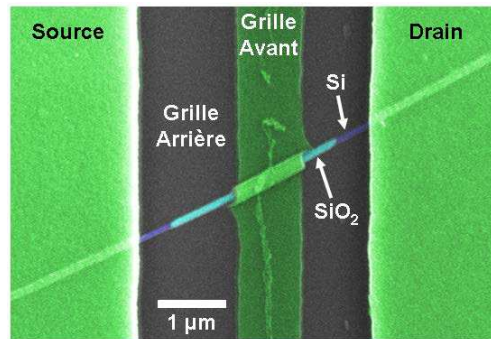


FIGURE 2.39 – Image MEB colorisée d'un transistor planaire à double grille à nanofil Si.

Cette architecture permet donc de découpler les effets résistifs liés aux résistances d'accès de ceux liés au contrôle capacitif de la conductivité du canal, tout en offrant un contrôle capacitif optimal de la grille par l'utilisation d'une grille enrobante. Comparée à la structure précédente, ce type de transistor nous permet de décrire de manière plus précise le comportement des nanofils constituant les dispositifs verticaux qui seront décrits dans le chapitre suivant. Nous allons donc désormais nous intéresser aux caractéristiques électriques de ces dispositifs. La tension de grille arrière sera désignée par V_{BG} et la tension de grille avant par V_{TG} . Ces deux tensions ont chacune pour référentiel la tension de source fixée à 0V.

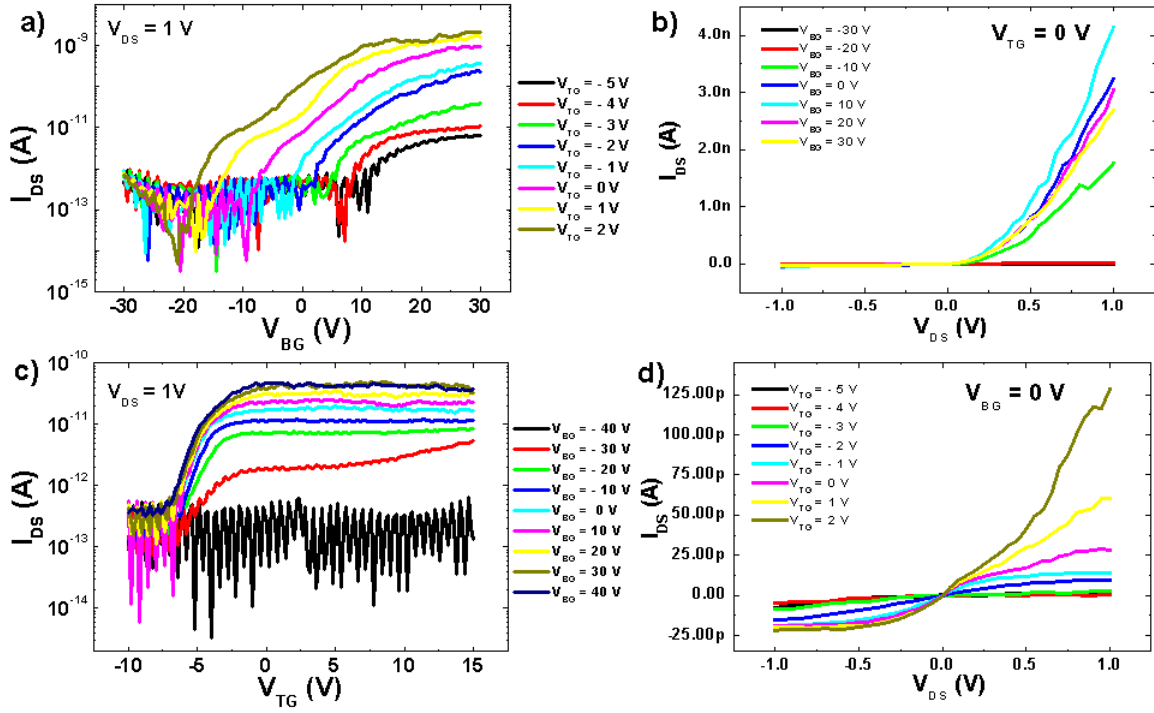


FIGURE 2.40 – Caractéristiques électriques de transistors planaires Si à double grille a) $I_{DS} - V_{BG}$ pour différentes tensions de grille avant et à $V_{DS} = 1$ V. b) $I_{DS} - V_{DS}$ pour différentes tensions de grille arrière à tension de grille avant nulle. c) $I_{DS} - V_{TG}$ pour différentes tensions de grille arrière et à $V_{DS} = 1$ V. d) $I_{DS} - V_{DS}$ pour différentes tensions de grille avant à tension de grille arrière nulle.

Nous constatons tout d'abord que le nanofil se comporte bien comme un semi-conducteur de type n étant donnée l'utilisation d'un oxyde thermique comme discuté au paragraphe précédent. Nous remarquons également sur les figures 2.40 b) et d) que le courant à l'état ouvert est environ dix fois supérieur lorsque la grille utilisée pour contrôler le canal est la grille arrière. Ceci confirme que cette dernière module la densité de porteurs dans les régions non couvertes par la grille avant mais également la résistance des contacts.

On peut constater sur la courbe 2.40 c) que malgré une polarisation de la grille avant, la grille arrière reste celle qui contrôle l'injection des porteurs. Ainsi même dans un état passant pour la grille avant (5V par exemple) la grille arrière peut être programmée pour bloquer l'injection ($V_{BG} = -40$ V). Cependant la grille avant, malgré son meilleur couplage électrostatique avec le canal n'est pas à même de totalement bloquer le canal. On voit sur la figure 2.40 a) que la grille arrière reste encore la grille dominante. En revanche, la grille avant a pour effet de moduler la tension seuil de façon notable (a) par rapport à la tension de grille arrière qui ne la modifie que de quelques mV et impacte de manière plus importante le courant total circulant dans le nanofil. La figure 2.40 c) est riche d'enseignements.

Nous voyons très clairement varier la pente sous le seuil relative à la partie à grille enrobante pour différentes tensions de grille arrière, mais également une saturation du courant de drain au delà du seuil, quelle que soit V_{BG} . En régime déplété, sous le seuil, et si la résistance du canal déplété est bien supérieure aux résistances d'accès, alors la transconductance globale du dispositif est pilotée uniquement par la tension de grille avant et ne dépend pas de la grille arrière. En revanche, si la résistance du canal couvert par la grille avant est de l'ordre de grandeur ou inférieure à la résistance d'accès constituée par les parties non couvertes par la grille avant, alors la pente sous le seuil sera diminuée, voire proche de zéro, comme nous pouvons le voir pour $V_{BG} = -40$ V, configuration pour laquelle les contacts Schottky sont le plus bloqués.

Pour une tension de grille arrière nulle, qui pourrait constituer un point de comparaison pertinent pour simuler un dispositif vertical à grille enrobante et connecté de par et d'autre par des contacts métalliques, nous constatons que nous arrivons à moduler tout de même la conductance du dispositif global. Toutefois, quelle que soit le couple tension de grille avant-tension de grille arrière, il semble que nous n'arrivons jamais à observer de régime linéaire où, passé le seuil, le courant de drain varie linéairement avec la tension de grille avant. Ce phénomène s'explique une fois encore par la prédominance de la résistance d'accès des contacts Schottky, qui, même préparés dans un état le plus passant possible, causent une saturation du courant de drain et donc limitent la mobilité apparente du dispositif comme présenté précédemment. Afin d'obtenir les meilleures dynamiques possibles, nous orienterons donc notre choix d'architecture verticale vers la réalisation d'un transistor à grille enrobante possédant au moins un contact ohmique, ce qui sera réalisé dans la pratique par la croissance d'un nanofil sur un substrat de même type de dopage. Cette configuration sera préférée à celle qu'il serait possible de réaliser où deux contacts métalliques seraient déposés de par et d'autre de la grille enrobante sur un fil vertical.

Les valeurs de pente sous le seuil obtenues nous permettent d'estimer une densité de pièges à l'interface oxyde/nanofil de l'ordre de $1.10^{13} \text{ cm}^{-2}$ ce qui explique que les caractéristiques ne soient pas optimales. Ceci indique également que la qualité de l'oxyde thermique peut encore être améliorée par le biais de recuits sous hydrogène par exemple afin de passiver les liaisons pendantes. De plus les régions désoxydées proches des contacts sont encore importantes et peuvent être source d'un piégeage de charges plus important.

Les dispositifs à grille enrobante présentés ici n'ont pas subi de recuit de siliciuration. Une tentative a malheureusement conduit à la destruction des dispositifs. Ce problème de dysfonctionnement rejoint ce qui a été dit concernant la siliciuration des fils.

2.7 Conclusion

La mise en place de mesures quatre pointes nous ont permis dans un premier temps de caractériser les nanofils Si et notamment leur valeur de dopage intrinsèque estimée à 10^{15} cm^{-3} . La caractérisation de ces nanofils en configuration transistor a également permis de déterminer que les dopants sont de type accepteur.

Nous avons étudié en détail les propriétés électriques des nanofils Si tant en configuration planaire à simple grille ainsi qu'à grille double. Nous avons pu obtenir des mobilités de porteurs pour des SBFETs à nanofils Si comparables à l'état de l'art avec des valeurs proches de $270 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Nous avons également mis en avant l'effet d'hystérésis qui apparaît lorsque la tension de grille arrière est balayée. Nous avons montré que l'on pouvait attribuer ce phénomène à l'interaction de la surface du nanofil avec son environnement proche et qu'il était également possible de le maîtriser en déposant un oxyde autour du nanofil. Ce dépôt permet ainsi de diminuer la densité de défauts en passant de $1.10^{13} \text{ cm}^{-2}$ à $1,3.10^{12} \text{ cm}^{-2}$. Nous avons également mis en évidence la possibilité de moduler la hauteur de barrière Schottky grâce à la siliciuration des nanofils dont nous avons étudié la cinétique montrant également un phénomène d'auto-limitation.

Afin de procéder à leur intégration verticale nous avons choisi d'étudier l'impact d'une oxydation thermique sur les caractéristiques électriques des nanofils car ce dernier demeure de meilleure qualité diélectrique d'un oxyde ALD. La densité de pièges est du même ordre de grandeur que lorsque l'on utilise un dépôt ALD soit $1.10^{12} \text{ cm}^{-2}$. Cependant un important effet d'inversion de dopage a été mis en évidence, en effet les nanofils qui initialement agissent comme des semiconducteurs de type P voient leur comportement inversé en semiconducteur de type N après oxydation. Nous avons étudié ce phénomène et montré que cette inversion du dopage apparent pouvait être imputée à la présence d'impuretés dopantes de type N activées lors de recuits

thermique. Ceci permet donc également de fournir une explication supplémentaire à la faible mobilité des porteurs observée dans les nanofils.

Nous avons enfin réalisé des dispositifs à double grille montrant ainsi l'effet d'une grille n'agissant pas sur la hauteur de barrière par effet de champ. Nous avons en outre montré que les contacts jouaient un rôle prédominant sur le courant de saturation du transistor.

Nous allons dans le prochain chapitre nous intéresser à des nanofils constitués d'un alliage SiGe afin de mettre à profit les caractéristiques du germanium dans nos transistors.

Chapitre 3

Propriétés électriques des nanofils

$Si_{0,7}Ge_{0,3}$

3.1 Introduction

L'alliage SiGe est un matériau prometteur pour la réalisation de dispositifs microélectroniques en raison de la plus grande mobilité des porteurs dans le germanium que dans le silicium. Cependant le germanium pur est compliqué à utiliser en raison de son oxyde natif de piètre qualité diélectrique et facilement soluble dans l'eau. L'intérêt du SiGe réside donc dans la stabilité chimique du silicium et dans les performances électriques du germanium combinées. Nous allons donc, comme nous l'avons fait avec les nanofils de silicium, évaluer le potentiel des nanofils SiGe pour une utilisation dans des transistors à barrière Schottky. Pour cela nous allons reprendre le même schéma d'étude à savoir

1. évaluer le niveau de dopage résiduel dans les nanofils
2. étudier la cinétique et l'impact sur les performances électriques de la siliciuration de nanofils bruts de croissance
3. étudier la cinétique et l'impact sur les performances électriques de la siliciuration de nanofils oxydés thermique
4. étudier les nanofils dans une configuration à double grille afin d'en évaluer le potentiel pour l'intégration 3D

Nous allons donc dans un premier temps nous concentrer sur les transistors à grille arrière.

3.2 Transistors planaires à grille arrière à nanofil SiGe

3.2.1 Nanofils $Si_{0,7}Ge_{0,3}$ bruts de croissance

3.2.1.1 Dopage résiduel

De la même manière que pour les fils de silicium des structures de mesures quatre pointes ont été réalisées afin de mesurer précisément le dopage résiduel dans des nanofils SiGe non intentionnellement dopés. En se basant sur l'équation 2.5.2.1 et en utilisant les valeurs reportées sur la figure (3.1) nous trouvons une

résistivité d'environ $150 \Omega \cdot \text{cm}$. Nous l'avons vu précédemment, la meilleure façon de déterminer la nature des porteurs dans les fils est d'effectuer une mesure sous champ. La figure 3.2 b) met clairement en évidence le comportement de type p des nanofils SiGe. Nous allons ainsi pouvoir donner une estimation de la densité des impuretés dans ces fils.

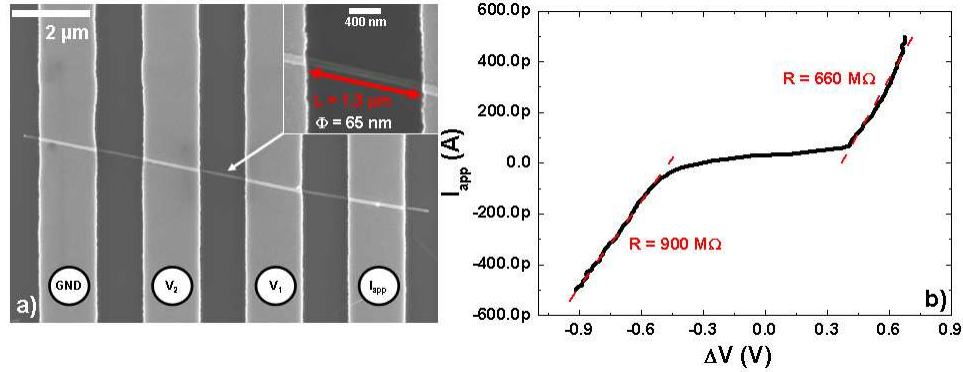


FIGURE 3.1 – a) Image MEB d'une structure quatre points sur fil SiGe. L'insert montre les dimensions de la région caractérisée électriquement b) Courbe $I_{app} - \Delta V$ du dispositif quatre points présenté en (a). Nous choisissons la zone la moins résistive comme étant la plus caractéristique. L'influence des contacts intervenant à bas courant est due à l'assymétrie des contacts.

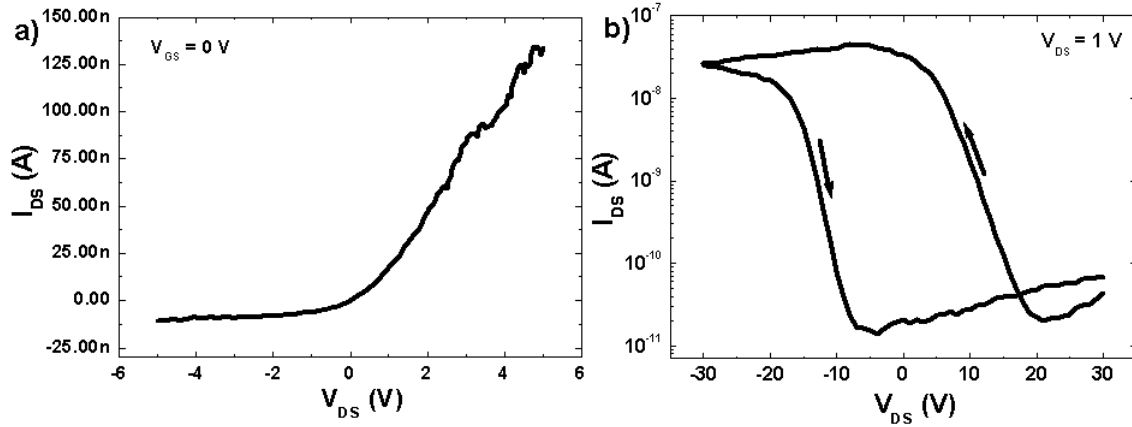


FIGURE 3.2 – a) courbe $I_{DS} - V_{DS}$ à $V_{GS} = 0 \text{ V}$ d'un transistor à nanofil SiGe de diamètre 100 nm et de longueur de grille de $3,65 \mu\text{m}$. b) courbe $I_{DS} - V_{GS}$ à $V_{DS} = 1 \text{ V}$ du même dispositif

Comme aucune abaque de résistivité du système SiGe en fonction de la densité d'impuretés n'est disponible nous nous basons sur les abaques du silicium et du germanium. Pour la résistivité mesurée nous constatons que le taux de dopage le plus élevé associé est celui du silicium pur, celui du germanium ne présente toutefois une variation de l'ordre de quelques pourcents.

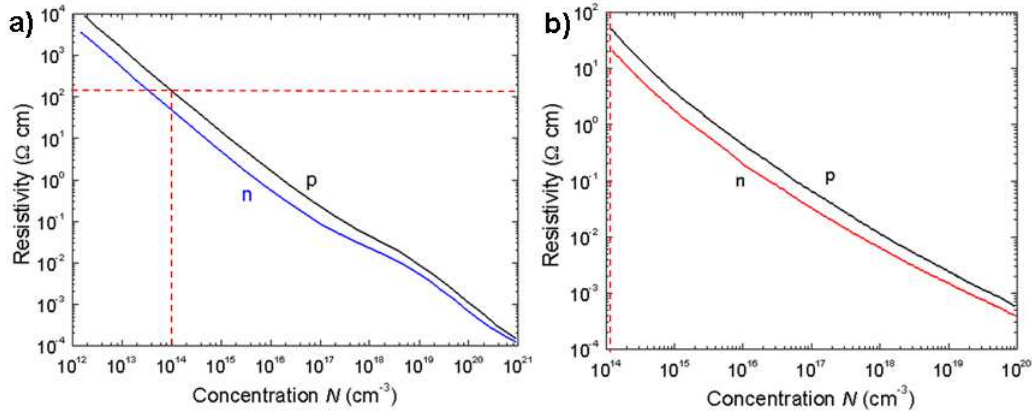


FIGURE 3.3 – Abaques résistivité en fonction de la concentration d’impuretés dans a) le silicium b) le germanium.

Si nous considérons le système $Si_{0.7}Ge_{0.3}$ comme proche du Silicium nous pouvons estimer le niveau de dopage résiduel à environ $1 \times 10^{14} \text{ cm}^{-3}$. Cette valeur est extrêmement faible et peut s’expliquer par la plus basse température d’élaboration (450°C) des nanofils de SiGe ce qui défavorise l’incorporation d’impuretés dans le cœur des nanostructures et ainsi tend à diminuer le niveau de dopage résiduel.

Le dopage résiduel étant beaucoup plus faible que pour les nanofils de silicium, nous pouvons nous attendre à avoir plus de difficultés à procéder au contactage des fils SiGe. Cependant comme nous pouvons le constater sur la figure 3.2 le niveau de courant passant dans un fil de 100 nm de diamètre reste extrêmement important même sans polarisation de grille ce qui peut nous amener à penser que la barrière vue par les porteurs est plus faible que pour les nanofils de silicium. Nous allons désormais nous intéresser au comportement électrique de ces nanofils. Pour cela nous allons directement comparer leur comportement avant et après recuit des contacts métalliques.

3.2.1.2 Siliciuration - cinétique

De la même manière que pour le silicium les nanofils de SiGe ont été recuits afin d’optimiser les contacts. En effet le nickel est également connu pour pouvoir former des phases stables avec le germanium appelées germaniures. Nous avons ainsi observé l’évolution de la propagation du siliciure/germaniure en fonction du temps et de la température de recuit. Les résultats sont compilés dans la figure 3.4 pour des nanofils de diamètre de 50 et 100 nm. Nous constatons que la siliciuration est complexe à maîtriser notamment concernant la longueur de siliciure obtenue après recuit. On observe en effet sur la figure 3.4 que si une tendance générale se dégage dans le cas des nanofils de gros diamètres à savoir une meilleure homogénéité des longueurs de siliciure obtenues pour une température donnée, les nanofils de 50 nm semblent ne pas pouvoir être siliciurés de manière reproductible : il semblerait que pour des conditions de recuit identiques la longueur de siliciure ou germaniure croisse quand le diamètre décroît. Ce constat rejoint les observations déjà faites sur les nanofils de silicium. Si l’on compare alors la longueur du siliciure obtenu au diamètre des nanofils une nette tendance générale se dégage. Les fils de plus petit diamètre présentent une forte dispersion de la longueur du siliciure formé dans des conditions données. Cette variabilité diminue lorsque le diamètre de ces fils augmente.

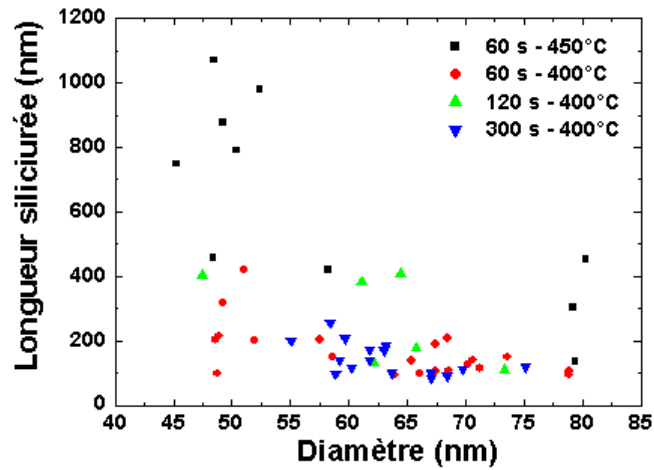


FIGURE 3.4 – Longueur de siliciure formé sur des nanofils de SiGe de a) 50 nm de diamètre et b) 100 nm de diamètre pour différentes températures et durées de recuit. c) Longueur de siliciure formé pour différentes températures et différents temps de recuit en fonction du diamètre des nanofils échantillonnés.

Un phénomène intéressant semble cependant être à souligner. Nous observons dans la plupart des cas l'apparition d'une zone foncée au MEB entre le siliciure et le nanofil comme présenté en figure 3.5 :

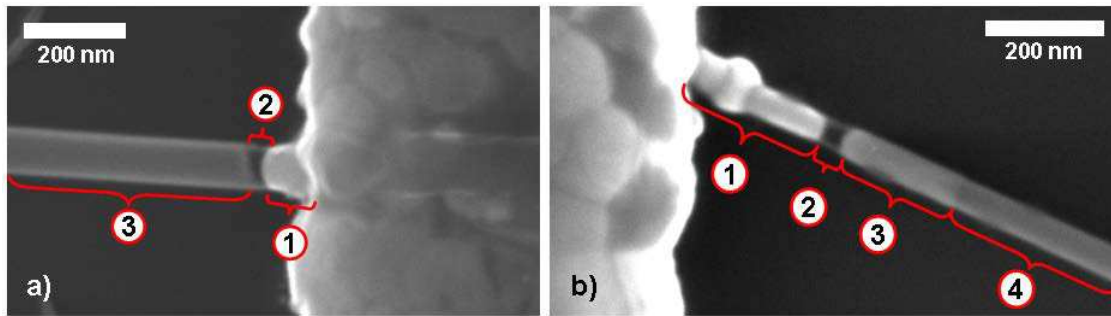


FIGURE 3.5 – Images MEB de deux nanofils SiGe siliciurés. a) nanofil de diamètre 100 nm recuit à 450°C pendant 300 s et b) nanofil de diamètre 50 nm recuit à 400°C pendant 120 s.

On constate que deux types de structures peuvent exister. La première, représentée en figure 3.5 a) où trois zones semblent se différencier et la deuxième représentée en 3.5 b) avec cette fois-ci quatre zones bien marquées. Une analyse EDX nous a permis d'identifier la localisation spatiale des éléments chimiques présents à savoir le silicium, le nickel et le germanium. Les images ainsi obtenues sont présentées en figure (3.6)

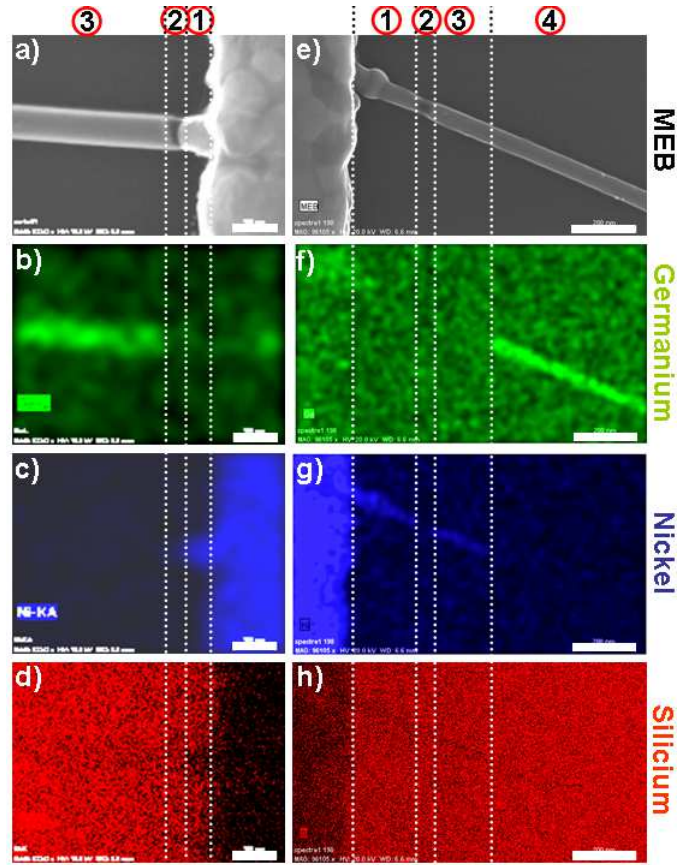


FIGURE 3.6 – Images EDX des nanofils SiGe siliciurés et cartographies des différents éléments. a) à d) nanofil de 100 nm siliciuré à 450 °C pendant 300 s. e) à h) nanofil de 50 nm siliciuré à 400 °C pendant 120 s. Les barres blanches représentent une échelle de 200 nm.

Les images EDX présentent tout d'abord un phénomène intéressant à savoir la ségrégation du germanium du contact. On remarque en effet que les régions 1 et 2 du nanofil de 100 nm ainsi que les régions 1,2 et 3 du nanofil de 50 nm ne présentent pas de signal du germanium. Ce phénomène a également été observé dans la littérature [49]. L'explication la plus plausible est la différence entre les énergies de formation du siliciure de nickel NiSi et du germaniure de nickel NiGe à savoir -45 et -32 kJ.mol^{-1} respectivement. Le nickel réagit donc préférentiellement avec le silicium. Comme nous l'avons remarqué précédemment une région sombre notée 2 apparaît sur les deux dispositifs. Les cartographies EDX montrent clairement qu'à la fois le germanium et le nickel semblent absents de ces régions. Une mesure locale sur le dispositif de 50 nm de diamètre permet de mettre en évidence cette diminution en teneur de nickel 3.7. On observe ainsi lors de la siliciuration un phénomène de ségrégation du germanium mais également un appauvrissement en nickel du siliciure formé pouvant conduire à la rupture de la continuité électrique des dispositifs.

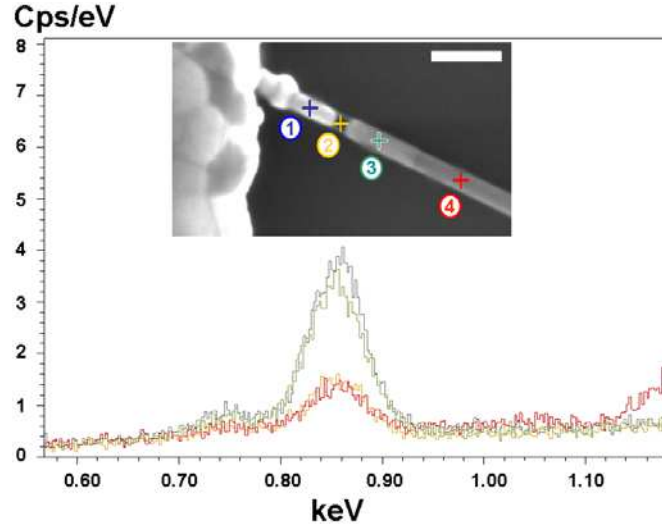


FIGURE 3.7 – Spectre EDX centr  sur le signal du nickel des quatre r gions du fil SiGe de 50 nm de diam tre.

3.2.1.3 Siliciuration - impact sur les performances  lectriques

L'impact de la siliciuration sur le comportement  lectrique des fils SiGe est compliqu    interpreter. En effet de nombreux  chantillons pr sentent un courant I_{DS} apr s recuit, et pour une tension de grille nulle, inf rieur   celui avant recuit. De plus, une forte asym trie  lectrique entre les deux contacts est souvent observ e apr s le traitement thermique des dispositifs. Il semble donc que les hauteurs de barri re n' voluent pas de la m me fa on.

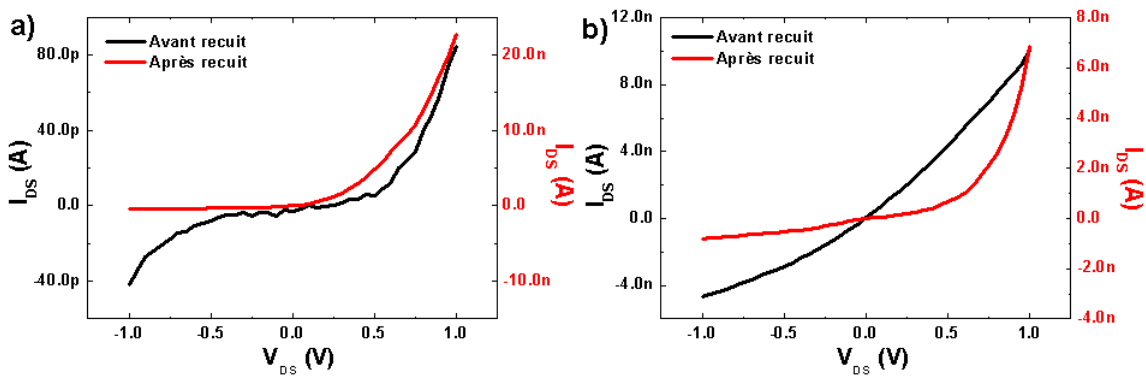


FIGURE 3.8 – Caract ristiques $I_{DS} - V_{DS}$   $V_{GS} = 0V$ de deux transistors   nanofil SiGe. le diam tre des fils est de 100 nm. a) le recuit a pour effet d'augmenter le courant traversant le nanofil mais  galement d'induire une forte asym trie au niveau du comportement  lectrique des contacts. b) Le recuit n'a dans ce cas pas augment  le courant traversant le fil et a  galement induit une asym trie des contacts.

Globalement il s'av re difficile d'extraire une tendance quant   la modification du comportement  lectrique des dispositifs apr s siliciuration. Nous constatons en effet que de nombreux dispositifs cessent de fonctionner apr s siliciuration, notamment ceux pr sentant une zone pauvre en nickel et germanium comme repr sent  pr c demment. Cette zone pauvre en germanium et nickel est susceptible d'engendrer une barri re infranchissable par les porteurs.  tant donn  le grand nombre de dispositifs r alis s il est possible d'observer statistiquement l'influence des recuits sur ces nanofils SiGe.

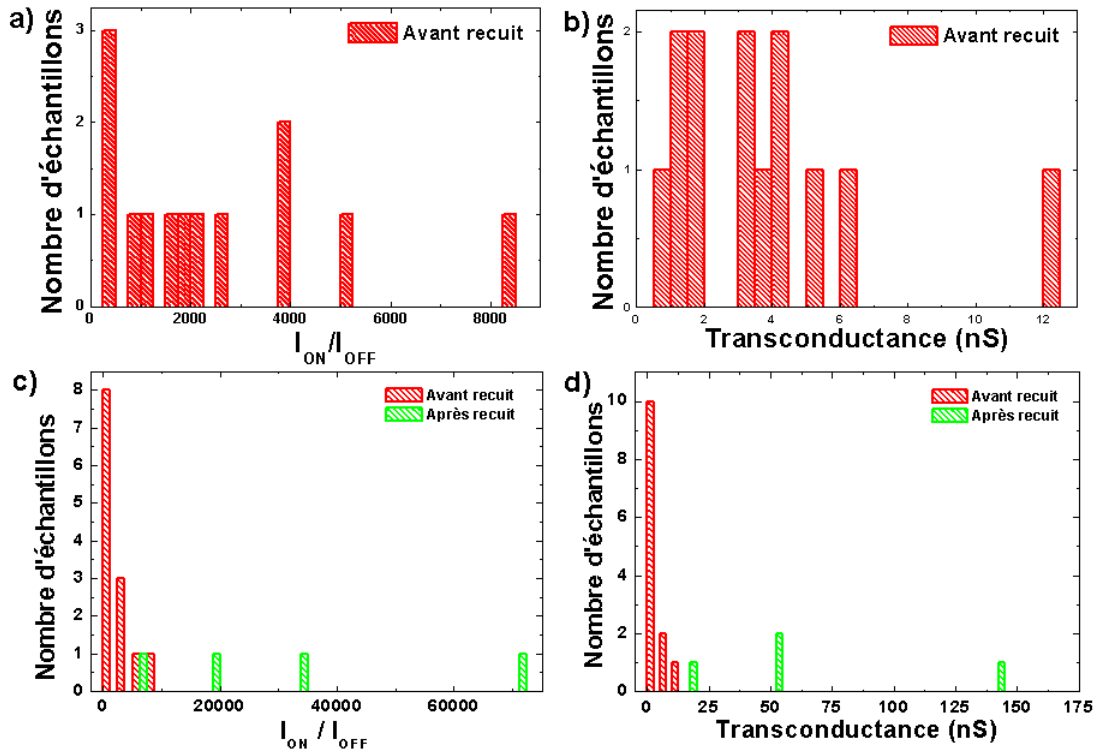


FIGURE 3.9 – a) valeurs mesurées des ratios I_{ON}/I_{OFF} sur 13 transistors à nanofil SiGe de 50 nm de diamètre avant traitement thermique. b) valeurs mesurées de la transconductance sur 13 transistors à nanofil SiGe de 50 nm de diamètre avant traitement thermique. c) valeurs mesurées des ratios I_{ON}/I_{OFF} sur 13 transistors à nanofil SiGe de 50 nm de diamètre avant et après traitement thermique. d) valeurs mesurées de la transconductance sur 13 transistors à nanofil SiGe de 50 nm de diamètre avant et après traitement thermique. Seuls quatre dispositifs sont fonctionnels après recuit.

Nous remarquons qu'avant même de recuire les échantillons les paramètres que sont le rapport des courants I_{ON}/I_{OFF} et la transconductance sont dispersés. Après recuit cette dispersion augmente de façon considérable mais plus important encore, le nombre de dispositifs fonctionnels est drastiquement réduit. On constate en effet qu'avant recuit treize dispositifs ont été caractérisés et qu'après recuit seulement quatre d'entre eux sont encore fonctionnels soit 30 % de réussite. Malgré ce taux de réussite mitigé les caractéristiques des dispositifs encore fonctionnels sont toujours supérieures à celles avant recuit.

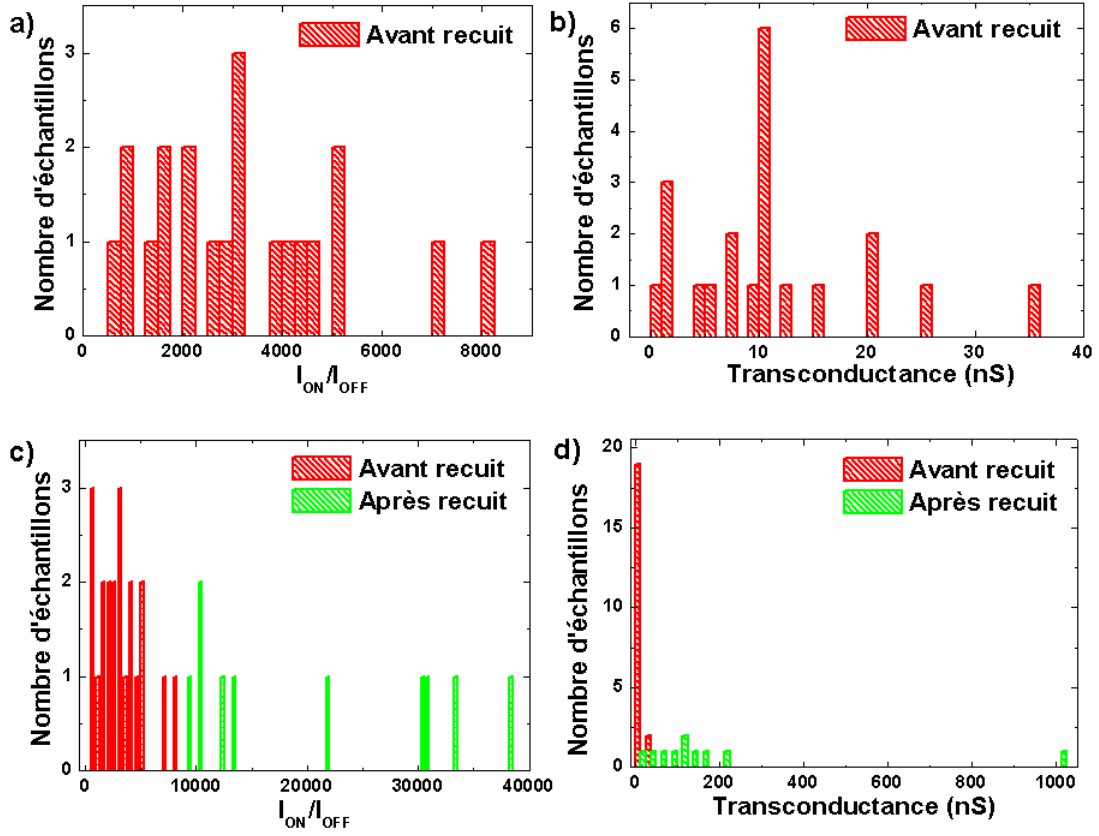


FIGURE 3.10 – a) valeurs mesurées des ratios I_{ON}/I_{OFF} sur 21 transistors à nanofil SiGe de 100 nm de diamètre avant traitement thermique. b) valeurs mesurées de la transconductance sur 21 transistors à nanofil SiGe de 100 nm de diamètre avant traitement thermique. c) valeurs mesurées des ratios I_{ON}/I_{OFF} sur 21 transistors à nanofil SiGe de 100 nm de diamètre avant et après traitement thermique. d) valeurs mesurées de la transconductance sur 21 transistors à nanofil SiGe de 100 nm de diamètre avant et après traitement thermique. Seuls dix dispositifs sont fonctionnels après recuit.

En ce qui concerne les nanofils de plus gros diamètre, de l'ordre de 100 nm, nous constatons une meilleure immunité de leur part à la siliciuration. Sur vingt et un dispositifs, dix demeurent fonctionnels soit environ 48 %. Tous recuits confondus, les performances sont nettement améliorées tant du point de vue du courant maximal traversant les fils que de leur dynamique. De manière générale les nanofils de plus gros diamètre présentent moins de variabilité sur leur comportement électrique que les fils de petit diamètre. Ceci peut provenir notamment de la meilleure résistance mécanique des fils de plus gros diamètre leur permettant ainsi de mieux supporter la dilatation du paramètre de maille induite lors de la siliciuration.

La siliciuration semble être encore compliquée à maîtriser et l'impact sur les performances électriques des composants est difficile à quantifier. Malgré une tendance à l'amélioration des comportements électriques avec une hausse combinée du rapport I_{ON}/I_{OFF} et de la transconductance, les taux de perte restent un point bloquant. Afin de compléter l'étude sur les fils SiGe nous allons nous intéresser à leur propriétés électriques après oxydation thermique sous atmosphère sèche dans le but final d'utiliser cet oxyde comme oxyde de grille pour les transistors verticaux.

3.2.2 Nanofils $Si_{0.7}Ge_{0.3}$ oxydés

Nous allons étudier l'impact du procédé d'oxydation sur les performances électriques des nanofils de SiGe. Nous décidons d'utiliser un procédé à 800 °C avec une durée d'oxydation de 15 minutes afin de se positionner sur le même point que les nanofils de silicium. Les nanofils oxydés selon ce procédé sont au final enrobés d'un oxyde thermique d'environ 25 nm d'épaisseur comme présenté sur la figure 3.11. Rappelons que ces mêmes conditions donneraient un oxyde d'environ 10 nm sur des nanofils de silicium. Les clichés EDX de la figure 3.11 b) et c) confirment la présence du germanium dans le cœur du nanofil.

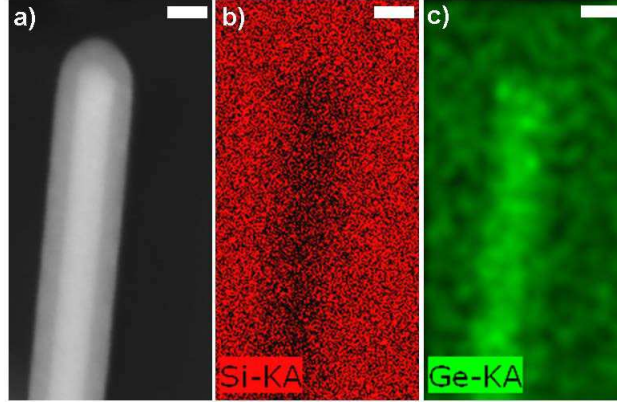


FIGURE 3.11 – a) image MEB d'un nanofil SiGe oxydé à 800 °C pendant 15 minutes b) et c) cartographies EDX du silicium et du germanium. Les barres d'échelle représentent 40 nm.

3.2.2.1 Caractérisation électrique

Nous constatons tout d'abord que le contact sur ces nanofils semble être légèrement redresseur mais avec un fort niveau de courant en l'absence de polarisation de grille. Il semblerait donc que les résistances d'accès soient plus faibles que pour des fils non oxydés. Nous tenterons d'expliquer ceci dans la partie dédiée au transistor à double grille. Les caractéristiques électriques comme le rapport I_{ON}/I_{OFF} ou la transconductance présentent également des dispersions relativement importantes reflétant ainsi la variation notable du comportement de chaque nanofil. La figure 3.12 nous laisse cependant voir un phénomène intéressant. Les nanofils de SiGe, même une fois oxydés, ne présentent pas d'inversion de dopage comme il l'a été observé sur les nanofils de silicium. Des recuits à plus haute température ont été effectués et aucun n'a permis d'obtenir d'inversion. Nous sommes donc amenés à penser que la densité d'impuretés dopantes de type n est beaucoup plus faible dans les fils SiGe que dans les fils Si. Une explication plausible serait la différence de température d'élaboration de ces structures. A plus basse température les impuretés dégazent moins facilement des parois du réacteur mais ont également beaucoup plus de mal à s'incorporer dans le catalyseur. Cet aspect est très positif car cela permet d'avancer que les fils SiGe suffisamment peu d'impuretés pour pouvoir subir des recuits haute température sans présenter de modification de leur comportement électrique. Les rapports I_{ON}/I_{OFF} sont bons mais présentent la particularité de diminuer lorsque la tension de drain augmente. Ce rapport diminue à cause de l'augmentation du courant à l'état fermé des transistors qui traduit donc un fort niveau de fuite dans les nanofils. Enfin nous constatons que le phénomène d'hystérésis lors du scan en tension de grille arrière est toujours présent. L'oxyde ne permet donc pas dans ce cas de figure de diminuer la quantité de pièges responsables de cette hystérésis. Nous verrons dans la partie dédiée au transistor à double grille que l'oxydation induit un phénomène de ségrégation du germanium suspecté d'être la cause de cette forte quantité

de pièges. Les fortes valeurs de pente sous le seuil confirment que l'interface entre l'oxyde et le nanofil n'est pas de bonne qualité.

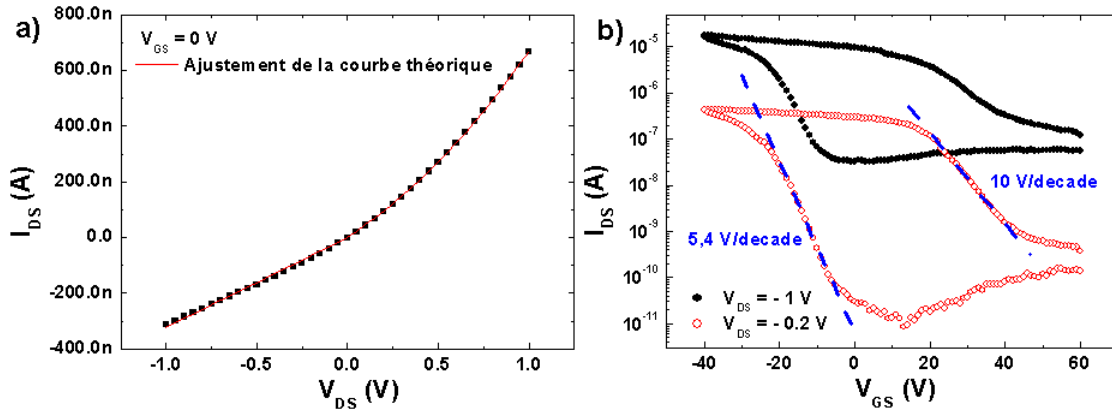


FIGURE 3.12 – a) courbe $I_{DS} - V_{DS}$ à $V_{GS} = 0$ V d'un nanofil de SiGe de 100 nm de diamètre oxydé. b) courbe $I_{DS} - V_{GS}$ à $V_{DS} = 1$ V et 0.2 V d'un nanofil de SiGe de 100 nm de diamètre oxydé.

3.2.2.2 Siliciuration - cinétique

L'optimisation des contacts passe encore une fois par le recuit de ces derniers. Maintenant que les fils sont oxydés nous devons nous assurer qu'il est encore possible de procéder à leur siliciuration. Les mêmes expériences que précédemment sont répétées et les longueurs de siliciure obtenues sont comparées à la durée du recuit, à sa température et au diamètre des nanofils. Comme précédemment, la dispersion obtenue en fonction de la température du recuit est extrêmement importante et ne nous donne pas beaucoup d'espoir quant au possible contrôle de la siliciuration. Nous constatons encore une fois que le diamètre des nanofils influence de manière importante la propagation du nickel. Plus le nanofil est gros et plus la distance parcourue par le siliciure est faible pour des conditions de recuit fixes (figure 3.13).

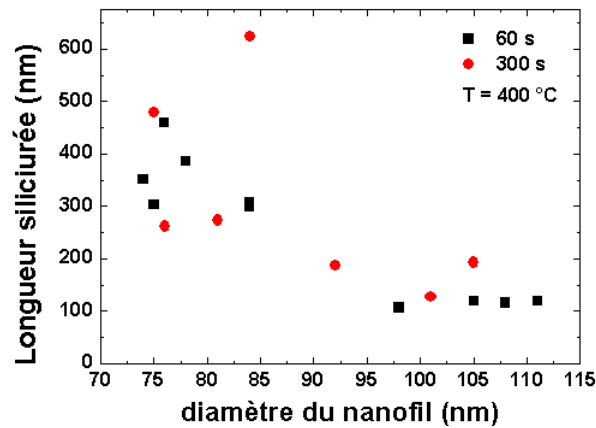


FIGURE 3.13 – longueur de siliciure formé sur des fils SiGe oxydés en fonction du diamètre du nanofil à une température de 400 °C et pour deux durées de recuit.

Bien que la longueur siliciurée présente une dispersion d'un fil à l'autre, nous allons nous intéresser à l'impact de ce procédé thermique sur leurs performances électriques.

3.2.2.3 Siliciuration - impact sur les performances électriques

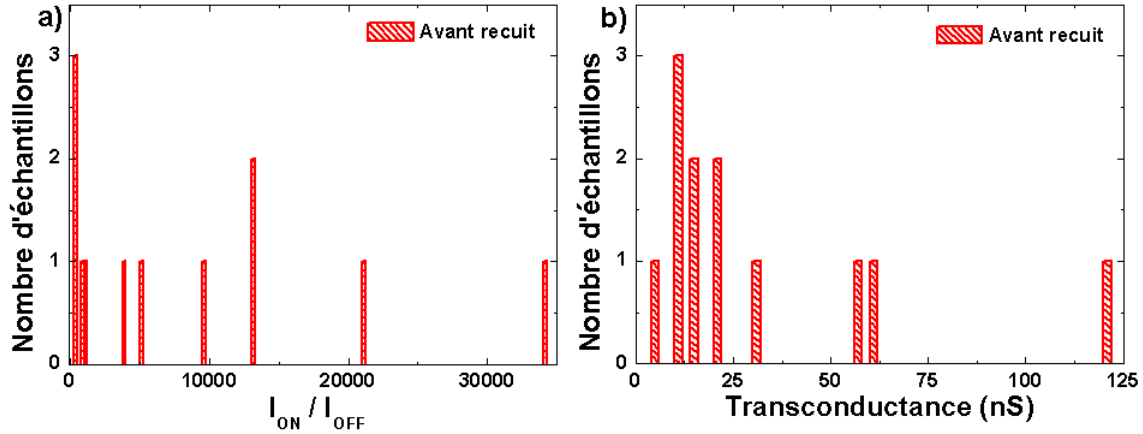


FIGURE 3.14 – répartition des a) rapports de courant I_{ON}/I_{OFF} et b) transconductances sur douze dispositifs à nanofils SiGe oxydés de diamètre 100 nm pour une tension de drain de 0,2 V.

L'amélioration des contacts étant aussi à étudier sur les fils oxydés, ces derniers ont également été exposés à des traitements thermiques afin de provoquer la siliciuration. D'un point de vue électrique les propriétés de transport des jonctions sont globalement améliorées. La résistance globale de ces dispositifs peut en effet être divisée par un facteur dix comme présenté sur la figure 3.16 a). Cette baisse de la résistance aux contacts s'accompagne évidemment d'une augmentation de la mobilité apparente des porteurs qui peut aller jusqu'à $290 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Cette valeur de mobilité demeure plus élevée que celles obtenues sur des nanofils non oxydés mais reste malgré tout très inférieure à celle que l'on pourrait espérer atteindre pour de telles compositions en germanium. Si nous comparons nos résultats à la littérature nous remarquons que nos dispositifs sont très bien placés. En effet de précédents travaux rapportent des mobilités calculées sur le même modèle que le notre de l'ordre $0,61 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ pour des fils dopés p et de $2,09 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ pour des fils dopés n [44]. Des travaux plus récents estiment la mobilité dans des fils de SiGe de type p autour de $0,75 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ pour une composition de 30 % en germanium et jusqu'à $5 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ pour une composition de 5 % en germanium. Les meilleurs résultats annoncent une mobilité de l'ordre de $240 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ dans des fils de type n [45]. Nous sommes en mesure de dire que les nanofils synthétisés pour cette étude sont de bonne qualité et ont des caractéristiques très prometteuses concernant leur utilisation comme dispositifs nanoélectroniques.

On remarque également que tous recuits confondus dix dispositifs sont encore opérationnels sur les douze de départ soit 83 % de réussite. Ces nanofils apparaissent comme étant de meilleurs candidats à la siliciuration. Malheureusement l'utilisation d'une haute température pour former l'oxyde demeure problématique en vue d'une compatibilité back-end.

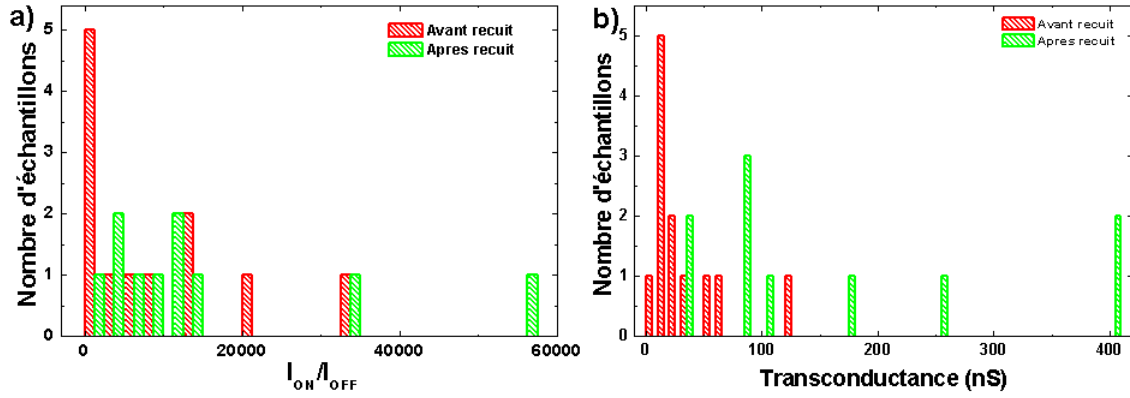


FIGURE 3.15 – répartition des a) rapports de courant I_{ON}/I_{OFF} et b) transconductances sur douze dispositifs à nanofils SiGe oxydés de diamètre 100 nm pour une tension de drain de 0,2 V avant et après recuit des contacts.

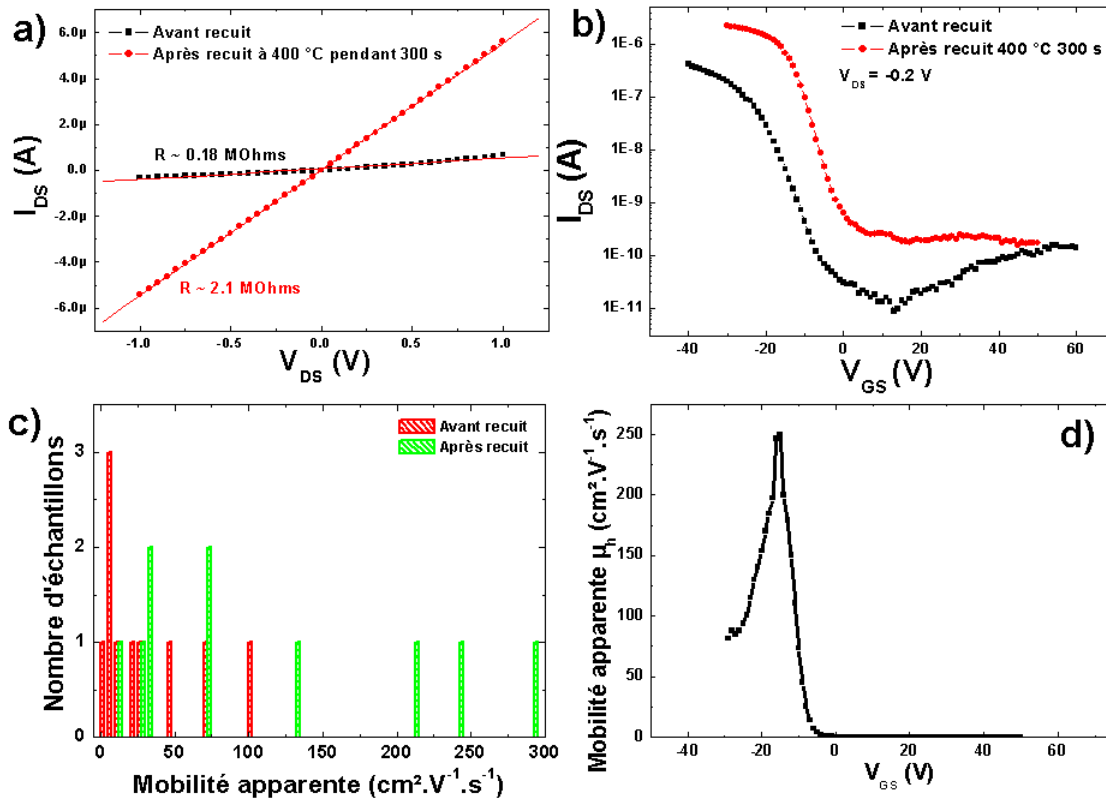


FIGURE 3.16 – a) caractéristique $I_{DS} - V_{DS}$ d'un transistor à nanofil SiGe oxydé recuit à 400 °C pendant 300 s. b) caractéristique $I_{DS} - V_{GS}$ du même transistor avant et après recuit. c) distribution des mobilités avant et après recuit des contacts de dix échantillons. d) mobilité apparente des trous dans un transistor après recuit d'après la courbe b).

3.3 SiGe - Transistors planaires à double grille

De la même manière que nous l'avons fait pour les nanofils de silicium, nous avons fabriqué et étudié des structures à double grille à base de nanofil SiGe. La structure est identique comme le montre l'image MEB

de la figure .

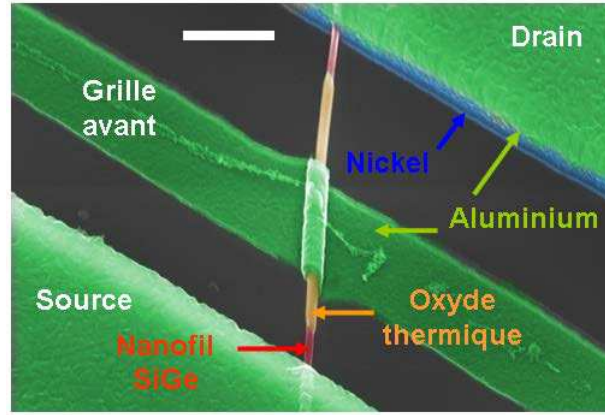


FIGURE 3.17 – Image MEB colorisée d'un dispositif à grille enrobante avant à nanofil SiGe. La barre d'échelle représente 1 μm .

Les caractéristiques électriques sont présentées dans la figure 3.18.

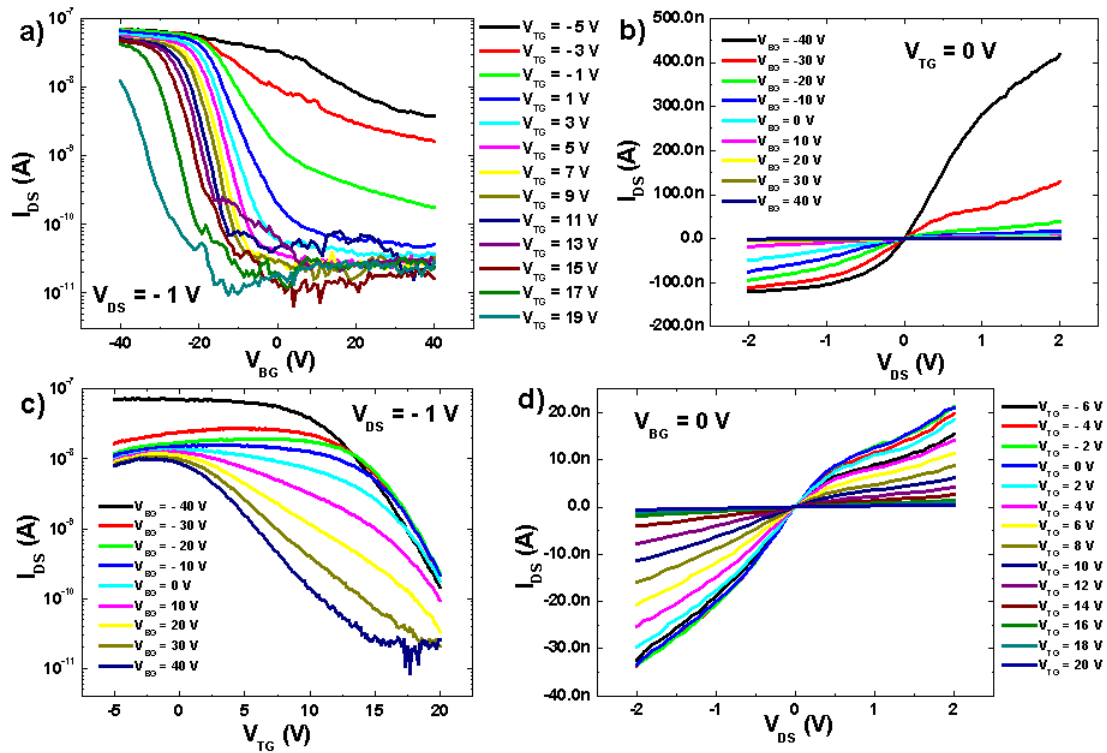


FIGURE 3.18 – Caractéristiques électriques d'un transistor planaire à nanofil $\text{Si}_{0.7}\text{Ge}_{0.3}$ à double grille. a) $I_{DS} - V_{BG}$ à $V_{DS} = -1 \text{ V}$ et pour différentes valeurs de tension de grille avant. b) $I_{DS} - V_{DS}$ pour différentes valeurs de tension de grille arrière à tension de grille avant nulle. c) $I_{DS} - V_{TG}$ à $V_{DS} = -1 \text{ V}$ et pour différentes valeurs de tensions de grille arrière. d) $I_{DS} - V_{DS}$ pour différentes valeurs de tension de grille avant à tension de grille arrière nulle.

On remarque que comme pour les nanofils de silicium, la grille arrière semble piloter principalement la quantité de courant passant dans le nanofil et ainsi donc la résistance des contacts. Nous pouvons également

constater que les nanofils ont conservé leur comportement de semi-conducteur type p. Cela est conforme aux observations faites sur les transistors planaires oxydés. Nous voyons par contre sur la figure 3.18 a) que la tension de grille avant V_{TG} permet de moduler considérablement le courant à l'état fermé du transistor entre 1.10^{-11} A et 1.10^{-9} A et par la même occasion la pente sous le seuil entre 4,3V/décade et 29,5 V/décade. Nous constatons également sur la figure 3.18 c) que quelque soit la tension de polarisation de la grille arrière V_{BG} nous sommes toujours capable de moduler le courant I_{DS} en balayant en tension de grille avant V_{TG} . Ceci indique clairement que la tension de grille arrière n'est pas à même de totalement fermer le canal contrairement aux dispositifs à nanofils Si et donc la résistance du canal sous la grille avant est toujours plus grande que celle aux contacts seulement polarisés par la grille arrière. Les pentes sous le seuil nous permettent d'extraire des densités de pièges à l'interface oxyde/nanofil de l'ordre de $5.10^{13} \text{ cm}^{-2}.\text{eV}^{-1}$. Cette très forte valeur demeure supérieure à celle obtenue pour les nanofils Si oxydés qui était de l'ordre de $1.10^{12} \text{ cm}^{-2}.\text{eV}^{-1}$ et de l'ordre de grandeur de nanofils Si bruts de croissance.

Contrairement aux dispositifs à grille enrobante à nanofil de silicium, dont la pente sous le seuil était relativement basse lors de l'utilisation de la grille avant, les nanofils SiGe présente une forte pente sous le seuil. Cette pente, comme nous l'avons vu précédemment, est principalement liée à la densité d'états à l'interface nanofil/oxyde. Or, dans ce cas-ci le seul oxyde qui entre en jeu est l'oxyde thermique enrobant le nanofil. Afin de mieux comprendre l'origine de cette forte valeur de pente sous le seuil, deux dispositifs ont été aminci à l'aide d'un microscope à double faisceaux à savoir, un faisceau d'ions permettant la découpe d'échantillons et un faisceau d'électrons permettant leur observation. Les images ainsi obtenues sont présentées dans la figure 3.19.

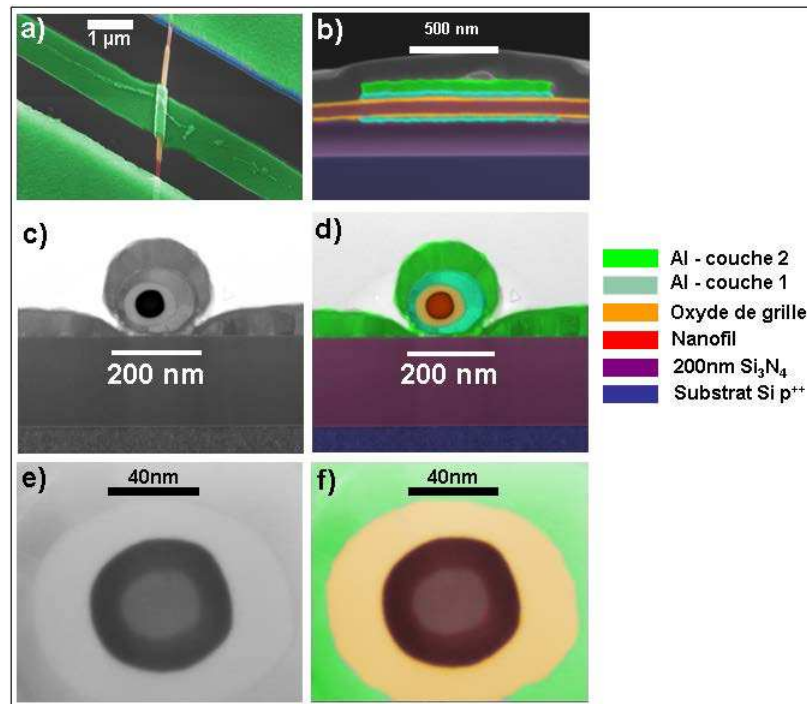


FIGURE 3.19 – a) image MEB colorisée d'un dispositif à grille enrobante utilisant un nanofil de SiGe comme canal. b) image MEB colorisée d'une coupe FIB longitudinale du dispositif présenté en a). c) et d) images STEM originale et colorisée d'une coupe FIB transversale du dispositif présenté en a) . e) et f) images STEM originale et colorisée représentant un zoom sur le centre du nanofil des images c) et d).

La découpe FIB permet de mettre en évidence que notre procédé de fabrication conduit effectivement à la

réalisation d'une grille parfaitement enrobante. La coupe transversale permet elle aussi de mettre en évidence la géométrie de la grille en mettant à jour la difficulté de la reprise de contact de grille. Le procédé de dépôt de la grille serait éventuellement à optimiser afin que le contact déporté de grille présente une meilleure conformité autour du nanofil. Le phénomène majeur mis en évidence est l'apparition d'un contraste au STEM dans le cœur du nanofil. On remarque en effet une couronne plus sombre que le cœur. D'après le principe de fonctionnement d'un STEM, le contraste observé est directement lié à la masse atomique des éléments observés. Aussi peut on conclure que la couronne présente en moyenne une masse atomique plus élevée que le cœur du nanofil. Afin d'identifier la raison de cette variation de masse, nous avons procédé à des mesures EDX dans le but de déterminer la composition chimique du cœur du nanofil. Ces résultats sont présentés en figure (3.20).

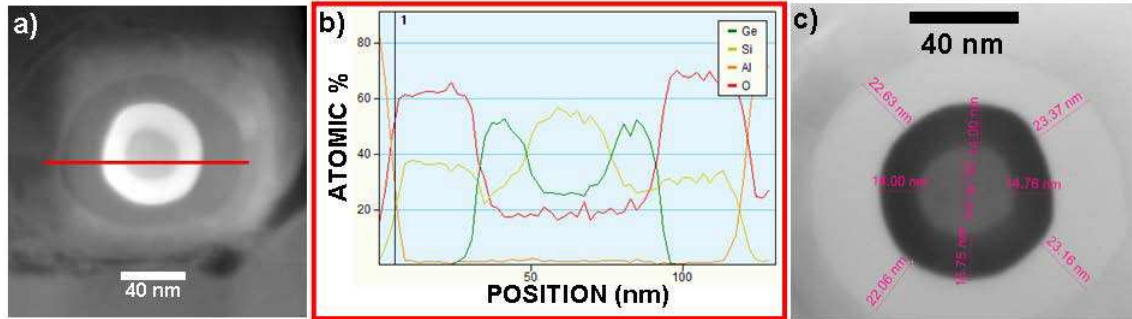


FIGURE 3.20 – a) image MEB de la coupe FIB transversale du dispositif avec en rouge l'axe selon lequel l'analyse EDX est effectuée. b) Spectre EDX avec mise en évidence des éléments Ge, Si, Al et O en fonction de la position de long de l'axe rouge de la figure a). c) Image STEM de la coupe transversale avec en annotations les dimensions mesurées de l'oxyde de grille, de la couronne et du cœur même du nanofil.

Les mesures EDX montrent clairement que la couronne sombre (en clair sur l'image MEB) est composée d'environ 50% de germanium alors que le cœur ne contient que 25-30% de germanium comme attendu d'après les conditions de croissance. Ce phénomène de ségrégation du germanium est bien connu dans les couches minces[93] et commence à être étudié dans les nanofils[50]. Ce phénomène de ségrégation apparaît spécifiquement lors de l'oxydation d'un alliage SiGe. En effet l'oxydation d'un tel alliage doit tenir compte à la fois de la présence du silicium mais aussi du germanium. Sous atmosphère sèche les réactions d'oxydation mises en jeu sont les suivantes :



Les énergies libres de réaction associées à chacune de ces équations valent respectivement à une température de 1000K $\Delta G_{GeO_2} = -732 kJ.mol^{-1}$ et $\Delta G_{SiO_2} = -376 kJ.mol^{-1}$. La formation de l'oxyde de silicium est donc favorisée par rapport à celle de l'oxyde de germanium. De plus le diagramme ternaire Si-Ge-O montre que l'alliage SiGe et l'oxyde de germanium GeO_2 ne peuvent coexister à l'équilibre sauf au-dessous d'une concentration très faible en atomes de silicium d'environ $1,6.10^4 atomes.cm^{-3}$ [94]. En se référant toujours aux travaux de Hellberg et al nous remarquons un point important concernant la concentration initiale en germanium. En effet, dans les articles [95, 94] Hellberg montre que pour des concentrations en germanium de l'ordre de 30%, c'est-à-dire la concentration utilisée dans notre étude, il n'y a pas de germanium dans

l'oxyde thermique formé car les atomes de Ge sont repoussés de ce même oxyde et s'accumulent à l'interface $SiGe/SiO_2$ ce que les mesures EDX précédentes 3.20 b) semblent confirmer

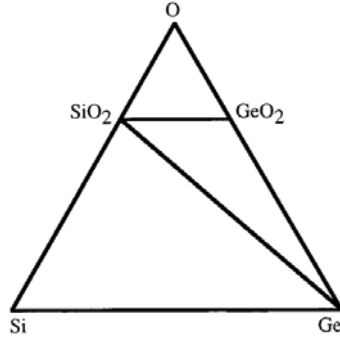


FIGURE 3.21 – Diagramme de phase ternaire du système Si-Ge-O à 1000 K et 1 bar. La ligne reliant le SiO_2 et le Ge indique que le SiO_2 est stable en présence de Ge, contrairement au GeO_2 par rapport au Si. d'après [94]

Il apparaît alors utile d'estimer le profil radial des bords de bande dans cette structure concentrique induit par le changement de composition observé lors de l'oxydation. S'aidant des valeurs de l'affinité électronique, de la bande interdite, et du niveau de Fermi estimés dans les zones riches et pauvres en germanium, et tabulées dans le tableau 3.1, nous pouvons donner une vue schématique du diagramme de bande attendu dans un fil de SiGe oxydé, donnée en Fig. 3.22. Nous constatons que le profil radial pris par les bords de bande de valence et de conduction favorise une localisation des trous à l'interface entre les deux zones riches et pauvres en germanium, et donc n'est pas favorable à un confinement des trous au centre du fil. Les fortes valeurs de D_{it} observées dans le cas des fils en SiGe peuvent s'expliquer en partie par le caractère plus superficiel pris par la distribution de trous par rapport au cas précédent.

TABLE 3.1 – Propriétés électroniques des alliages $Si_{0.75}Ge_{0.25}$ et $Si_{0.5}Ge_{0.5}$ à 300 K et pour $N_A = 1.10^{14} \text{ cm}^{-3}$ d'après [96, 97]

	$Si_{0.75}Ge_{0.25}$	$Si_{0.5}Ge_{0.5}$
Gap E_g (eV)	1.05	0.95
Affinité électronique χ (eV)	4.0375	4.025
Densité d'états dans la bande de conduction N_C (cm^{-3})	$2,75.10^{19}$	$2,75.10^{19}$
Densité d'états dans la bande de valence N_V (cm^{-3})	$1,44.10^{19}$	$1,09.10^{19}$
$E_F - E_V$ (eV)	0.297	0.29

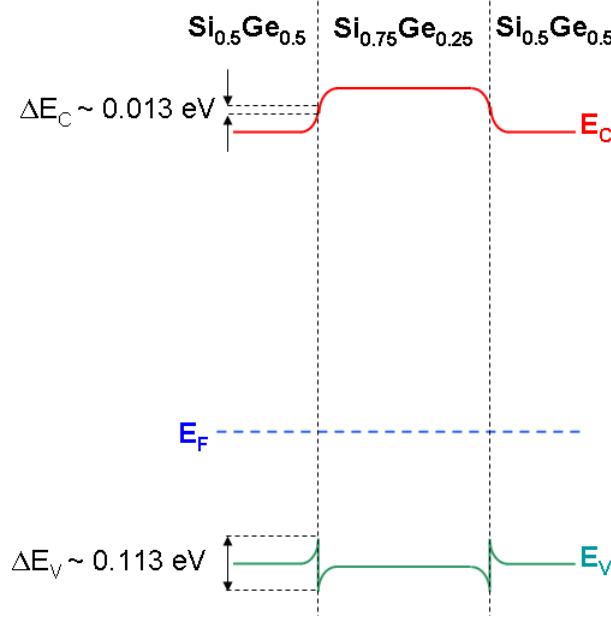


FIGURE 3.22 – Diagramme de bande théorique d'un nanofil SiGe oxydé présentant une couronne fortement concentrée en germanium due à la ségrégation du germanium durant l'étape d'oxydation thermique.

Connaissant désormais la composition du nanofil nous pouvons tenter d'estimer la hauteur de barrière au niveau des contacts en utilisant notre routine. Nous considérons dans ce cas que l'injection des porteurs se fait dans la couche enrichie en germanium et modulons donc les valeurs des constantes de Richardson et de surface en accord avec cette teneur. Les valeurs ainsi obtenues extrapolées à $V_{DS} = 0V$ donnent une hauteur de barrière de l'ordre de 0.4 eV à tension de grille arrière nulle ce qui est en accord avec les valeurs précédemment rapportées dans la littérature.

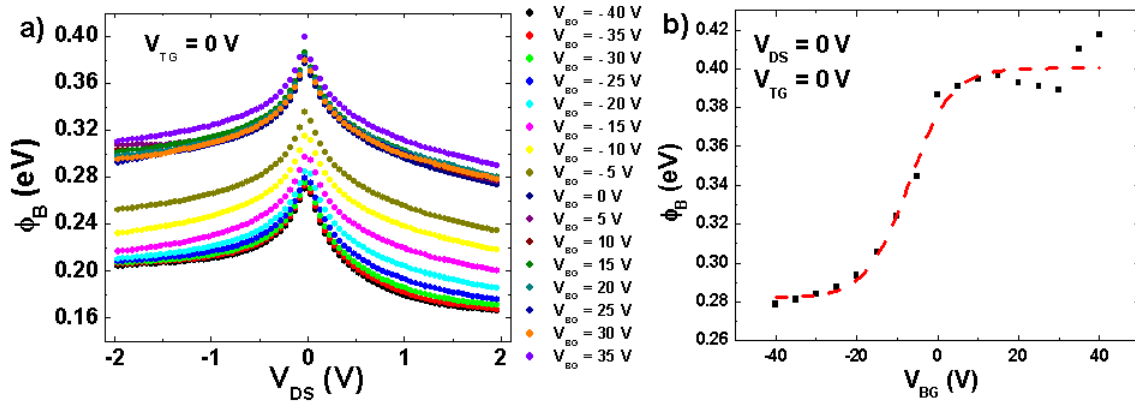


FIGURE 3.23 – a) hauteurs de barrière calculées en supposant l'émission thermoionique comme mécanisme principal de transport pour différents V_{DS} et V_{BG} à $V_{TG} = 0 V$. b) hauteur de barrière extrapolée à $V_{DS} = 0 V$ pour différents V_{BG} et $V_{TG} = 0 V$.

Les nanofils SiGe oxydés ont donc au final tendance à piéger les porteurs dans la couronne extérieure du cœur du nanofil qui est elle même en contact avec l'oxyde de grille. Cette situation rend les porteurs beaucoup plus sensibles aux pièges à l'interface SiGe/oxyde et peut ainsi expliquer la forte valeur de la pente sous le seuil ainsi que la forte hystérésis observées.

Nous allons désormais nous intéresser à un point particulier dont nous n'avons pas traité et qui concerne autant les fils Si que SiGe. Il s'agit en effet de tenter de donner une explication à la valeur de la tension de grille nécessaire pour ouvrir ou fermer le canal de conduction des transistors.

3.4 Mode de fonctionnement des transistors à nanofils

Un point n'a volontairement pas été abordé jusqu'à maintenant, il s'agit du mode de fonctionnement des transistors à nanofils. En effet, par analogie avec la classification adoptée pour leurs cousins n ou p MOSFETS à contact source-drain en silicium, deux régimes de fonctionnement peuvent être dégagés de nos études suivant la forme adoptée par la courbe $I_{DS} - V_{GS}$, à savoir les transistors à enrichissement ou à appauvrissement. Par définition, un transistor à enrichissement est bloqué pour une tension de grille nulle alors qu'un transistor à appauvrissement est ouvert à tension de grille nulle. Traditionnellement, dans les MOSFET planaires le mode de fonctionnement des transistors est modulé en dopant ou non le canal de conduction. Cependant dans nos structures cette caractéristique est intrinsèque aux nanofils. Aussi nous pouvons constater la chose suivante :

1. Les nanofils de Silicium bruts de croissance se comportent comme des transistors p à enrichissement
2. Les nanofils de Silicium oxydés se comportent comme des transistors n à appauvrissement
3. Les nanofils SiGe bruts de croissance et SiGe oxydés se comportent comme des transistors p à appauvrissement

Nous proposons dans cette courte section quelques hypothèses permettant d'expliquer ces différences de comportement. Nous savons désormais que les nanofils de silicium bruts de croissance contiennent des impuretés donneuses et accepteuses. Nous avons remarqué que ces nanofils, avant recuit, fonctionnent comme des transistors à enrichissement mais qu'une fois recuits ils basculent sur un fonctionnement à appauvrissement. Une possibilité d'explication est la suivante. Durant la croissance les impuretés de type p sont activées et une faible quantité d'impuretés de type n s'activent également. Lorsqu'aucune tension de grille est appliquée le couple hauteur de barrière-zone déplétée est important et limite le courant de porteurs majoritaires. Lorsque la tension de grille arrière prend de fortes valeurs négatives, le canal s'enrichit progressivement en trous, ce qui a pour effet de diminuer la largeur de la zone déplétée au niveau de la jonction polarisée en inverse et d'augmenter ainsi la densité de courant la traversant par effet tunnel. Dans certains cas où la hauteur de barrière est sensiblement la même pour les électrons et les trous une polarisation positive permet aux porteurs minoritaires de franchir la barrière Schottky induisant un comportement ambipolaire. De cette manière les fils fonctionnent en régime d'enrichissement.

Après recuit les impuretés n activées deviennent dominantes et les espèces accepteuses sont désactivées en surface des nanofils. Lorsqu'aucune tension de grille n'est appliquée la grande densité d'impuretés donneuses ainsi que la valeur de la barrière suffisent à créer un canal de conduction . Une polarisation négative de la grille permet d'obtenir alors un régime de désertion fermant ainsi le canal de conduction. Les nanofils fonctionnent alors en appauvrissement.

Concernant les nanofils SiGe, la très faible incorporation d'impuretés de type n confirmée par l'absence d'inversion de dopage après recuit induit un niveau de Fermi suffisamment proche de la bande de valence qui de la même façon que pour les fils de Si recuits laisse passer les porteurs majoritaires à tension de grille nulle. Une polarisation positive permet d'induire un régime de désertion et donc de fermer le canal.

3.5 Conclusion

Nous venons de montrer la possibilité d'utiliser des nanofils SiGe comme canaux de conduction dans des transistors planaires à barrières Schottky. Nous nous sommes intéressé dans un premier temps aux nanofils bruts de croissance et notamment à leur siliciuration. Cette dernière présente une cinétique directement liée au diamètre des nanofils, ceci montre donc encore une fois l'importance de maîtriser le diamètre des fils afin de contrôler la propagation du siliciure. Les barrière Schottky obtenues sont plus faibles que pour les fils de silicium et ceci s'explique par la valeur plus faible de la bande interdite du SiGe par rapport au Si. La siliciuration présente également un phénomène de ségrégation du germanium qui est repoussé du contact en raison de la différence d'énergie de formation entre le siliciure et le germaniure. En plus de cette ségrégation, un phénomène de rupture des nanofils est observé ce qui conduit à l'absence de conduction dans certains dispositifs réalisés. Nous avons également fabriqué des dispositifs en utilisant des nanofils SiGe oxydés thermiquement et présentant des caractéristiques proches des nanofils bruts de croissance. La différence apparaît très clairement après siliciuration avec des performances plus importantes et notamment des mobilités avoisinant les $250 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Des transistors à double grille ont également été obtenus. Le fort niveau de pièges estimé à partir des pentes sous le seuil nous ont conduit à réaliser des découpes des échantillons. Nous avons ainsi constaté un phénomène de ségrégation du germanium ayant lieu au moment de l'oxydation thermique des nanofils. De manière générale les performances obtenues sont à l'état de l'art international et nous permettent d'envisager l'utilisation de ces structures dans des architectures verticales. Nous allons désormais conclure de manière générale sur l'intégration planaire, pour les fils Si et SiGe.

3.6 Conclusion générale sur l'intégration planaire

Les nanofils Si et SiGe promettent des comportements de bonne qualité avec des mobilités respectables bien qu'éloignées des valeurs des matériaux massifs. Les valeurs obtenues durant nos expériences restent en accord avec celles rapportées dans la littérature et restent prometteuses pour leur intégration verticale. Des maximums de mobilité des trous dans les fils Si et SiGe ont été mesurés respectivement à 270 et $250 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. La forte hystérésis présente lors des variations de tensions de grille a été corrélée à l'état de surface des nanofils et leur enrobage dans une couche diélectrique a permis de réduire ce phénomène. L'oxydation des nanofils a également montré la possibilité de réduire ce phénomène mais le procédé de fabrication, utilisant une gravure humide de l'oxyde, conduit à la mise à nu d'une portion des fils et donc à la ré-augmentation de l'hystérésis.

Les cinétiques de siliciuration des nanofils ont également été abordées et le point clef ressortant de cette étude est la forte dépendance entre la longueur de siliciure formée et le diamètre des nanofils siliciurés. Ce phénomène apparaît autant pour le silicium que pour l'alliage SiGe. Dans ce dernier cas deux autres effets ont été mis en évidence. D'une part la ségrégation du germanium qui tend à diffuser en dehors du siliciure et d'autre part la diffusion du nickel conduisant à la rupture du contact électrique.

Nous avons également vu que les dispositifs planaires à double grille permettent de découpler efficacement les effets d'une grille arrière qui module essentiellement les résistances d'accès aux contacts et une grille avant enrobante qui contrôle la densité de porteurs libres disponibles pour la conduction au sein même du nanofil. Cette même oxydation a pour effet, dans le cas de l'utilisation de nanofils SiGe, d'induire une ségrégation du germanium. Ceci conduit donc à la formation d'une hétérostructure au sein même du cœur du nanofil favorisant le confinement des porteurs à l'interface nanofil/oxyde thermique. Ce confinement dégrade les propriétés électriques des dispositifs comme l'étude des transistors à double grille l'a montrée.

La dispersion des comportements des fils laisse penser qu'il sera de toute façon compliqué de réaliser des dispositifs présentant des caractéristiques homogènes en utilisant des nanofils uniques. Aussi l'intégration verticale de ces structures devra se faire sur des assemblées de fils afin de moyenner les comportements et de tendre vers l'uniformisation des caractéristiques.

Chapitre 4

Procédé de fabrication et caractérisation électrique de transistors verticaux

4.1 Introduction

L'intégration de nanofils verticaux présente un grand enjeu technologique. La mise en œuvre complexe de méthodes d'alignement de nanofils planaires pousse les scientifique à chercher des méthodes de localisation directes de ces nanostructures. La voie que nous proposons d'explorer est de localiser le catalyseur métallique et d'obtenir une croissance des nanofils la plus verticale possible. Cette configuration permet de diminuer l'encombrement des dispositifs grâce à l'utilisation d'une grille enrobante. En effet, la projection géométrique des transistors se résumera à un disque du diamètre du nanofil alors qu'un dispositif planaire aurait une projection rectangulaire de longueur du fil et de largeur égale à son diamètre. Le gain d'encombrement est donc d'environ 60%. Cette grille enrobante présente également l'atout de conférer un meilleur contrôle électrostatique du canal du transistor en comparaison des grilles planaires usuelles.

La méthode de croissance VLS laisse également envisager la possibilité de faire croître ces fils sur un substrat amorphe à basse température ce qui permettrait de réaliser des composants à canal cristallin dans les zones froides des circuits intégrés limitant ainsi le recours à l'utilisation du collage de puces.

Dans ce chapitre nous allons présenter les différentes étapes technologiques impliquées dans la réalisation de transistors verticaux à canal nanofil. Nous allons entièrement décrire les étapes et mettre l'accent particulièrement sur les points critiques et les problèmes rencontrés. Nous commencerons par la présentation de la structure générale au travers du dessin des masques de lithographie puis nous présenterons différentes méthodes pour localiser les catalyseurs de croissance avec chacune leurs avantages et inconvénients. Nous discuterons ensuite de la réalisation de l'empilement de grille en passant par l'oxyde de grille puis par la réalisation d'une grille métallique enrobante. Enfin nous aborderons le point clef de l'isolation électrique de la grille et du contact supérieur en s'attardant sur le choix des matériaux. Enfin nous décrirons la réalisation du contact supérieur ainsi que la reprise du contact enterré de grille.

Dans un second temps nous présenterons les résultats électriques obtenus sur les dispositifs réalisés. Tout d'abord nous nous intéresserons au comportement des dispositifs à base de nanofils Si puis dans un deuxième temps nous nous focaliserons sur les fils SiGe. Pour chaque cas d'étude nous mettrons en avant les performances obtenues. Nous comparerons les résultats avec ceux d'études précédentes exposées dans la littérature. Nous mettrons également en lumière les problèmes rencontrés ayant un impact direct sur les performances

électriques puis discuterons des possibles améliorations à apporter.

4.2 Procédé de fabrication

Le but de cette thèse est d'intégrer verticalement des nanofils afin de les utiliser comme canaux de conduction dans des transistors 3D. Cette architecture demande le développement d'un procédé d'intégration bien particulier. Je présente dans cette section une méthode générique pour la réalisation de transistors. Les possibles variantes seront discutées dans un prochain chapitre.

4.2.1 Design des masques

La première étape a consisté à dimensionner et dessiner des masques de lithographie qui nous permettront de réaliser le positionnement des nanofils sur les plaques ainsi que leur connexion. Ce design est réalisé à l'aide du logiciel WaveMaker Layout. Nous avons choisi d'utiliser le substrat fortement dopé comme une électrode à part entière des transistors. Nous le désignerons comme étant la source. Ainsi les transistors verticaux auront de cette manière une source commune. Le masque est prévu pour des tailles de plaques de 100 mm. Il est composé de plusieurs puces de 10x10 mm² chacune.

Le premier niveau de masque est dédié à la localisation du catalyseur et donc des nanofils. Le but étant d'avoir une dispersion en diamètre des nanofils la plus petite possible, l'utilisation de colloïdes comme catalyseur a été l'option retenue. Le premier niveau servira donc à définir des zones bien précises contenant ce catalyseur. Pour pouvoir étudier l'influence du nombre de fils sur le comportement électrique des dispositifs, plusieurs tailles de zone de croissance ont été choisies : 100x100 μm^2 , 50x50 μm^2 , 25x25 μm^2 , 10x10 μm^2 et 5x5 μm^2 . Une demi puce est constituée des cinq zones disposées sur une même ligne qui est elle-même répétée sur 19 colonnes. Ainsi une puce contient 190 zones de croissances au total.

Le deuxième niveau de masque est dédié à la réalisation de la grille. La partie couvrant la zone de croissance est légèrement plus grande que cette dernière afin de s'assurer d'avoir une grille sur chaque nanofil. Un contact de 200x200 μm^2 est déporté afin de pouvoir réaliser les tests sous pointes.

Le troisième niveau qui sert à définir le drain est quant à lui semblable à celui de la grille. Le contact est placé à l'opposé de celui de la grille par rapport à la zone croissance pour plus d'aisance lors des tests sous pointes.

Nous présentons dans la figure (4.1) la structure finale souhaitée ainsi que les masques dessinés dans ce but. La structure de base du transistor vertical est très fortement inspirée de précédents travaux rapportant la fabrication de transistors verticaux [40, 41]

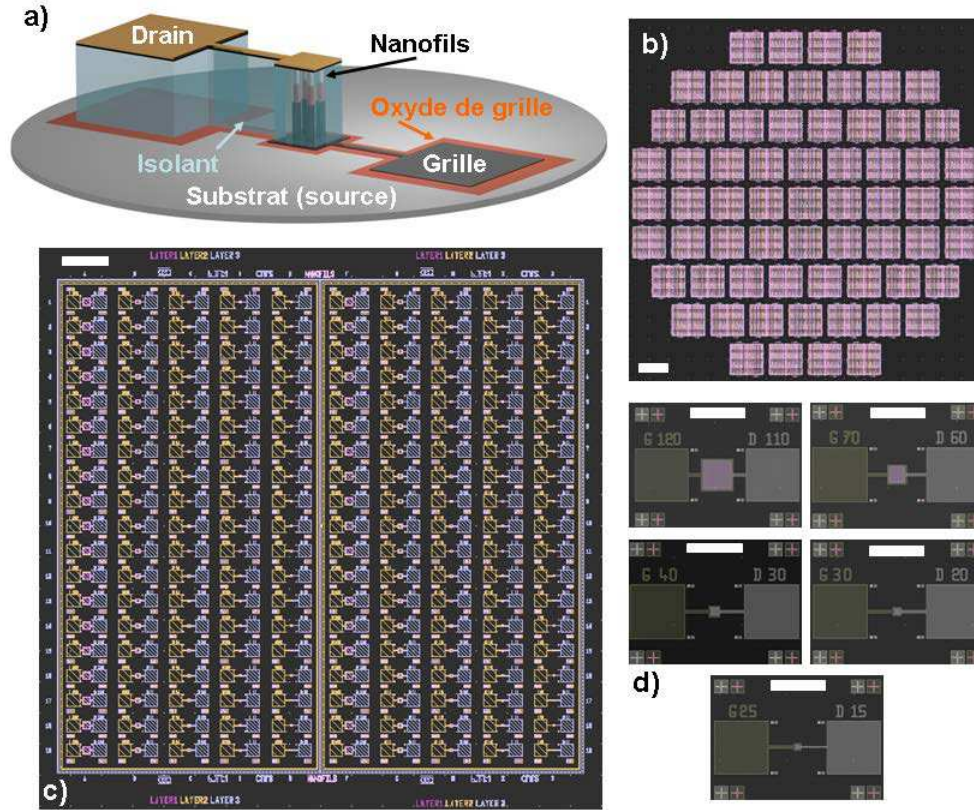


FIGURE 4.1 – a) Schéma de principe montrant la structure finale désirée d'un transistor vertical à canal nanofil. b) Image du masque de 100 mm de diamètre contenant les 65 puces, la barre d'échelle représente 1 cm. c) Image du masque d'une puce contenant les 190 transistors, la barre d'échelle représente 500 μm . d) Images des cinq structures de transistor avec différentes surface de zones de croissance, les barres d'échelle représentent 200 μm . La couleur rose correspond au niveau de croissance, la couleur jaune au niveau de grille et la couleur bleue au niveau de drain.

4.2.2 Localisation du catalyseur

4.2.2.1 Lithographie optique :

Comme vu précédemment nous sommes capables déposer des colloïdes en grand nombre avec une forte densité. Afin de les localiser sur le substrat nous procédons tout d'abord au nettoyage du substrat avec une séquence acétone-IPA. Nous déposons ensuite les colloïdes comme expliqué dans le chapitre précédent à l'aide d'une goutte de HF. Ensuite, comme expliqué sur la figure 4.2, nous couchons une résine photosensible positive de type AZ 1512 HS à une vitesse de 4000 rpm pendant 60 s avec une accélération de 2000 rpm.s^{-1} . La résine est recuite à 100°C pendant 90 s. Nous alignons ensuite le substrat sous le masque représentant le niveau 1 afin d'avoir un maximum de puces. Nous développons la résine dans un bain de AZ developer pendant 30 s et rinçons à l'EDI pendant 30 s. Nous gravons ensuite les résidus de résine à l'aide d'un plasma oxygène. L'échantillon est ensuite plongé dans un bain d' $I_2 : KI$ pendant 30 s afin de graver les colloïdes non protégés par la résine. Le substrat est ensuite rincé à l'EDI pendant 120 s. La résine est retirée dans un bain d'acétone et l'échantillon est rincé à l'IPA. Les résidus de résine sont gravés à l'aide d'un plasma oxygène.

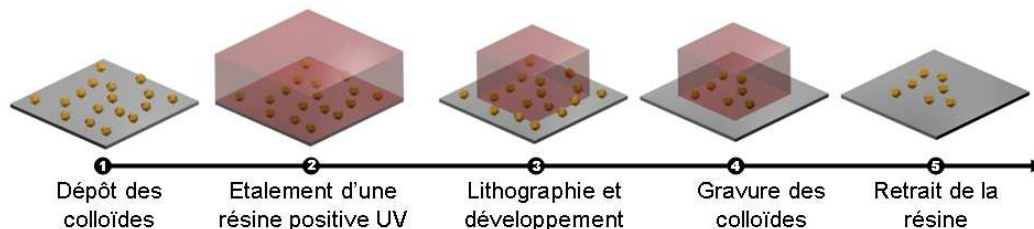


FIGURE 4.2 – Principales étapes technologiques pour la localisation de colloïdes d'or par lithographie optique et gravure humide.

Une seconde méthode de localisation par lithographie optique consiste à inverser les étapes (fig 4.3). Nous réalisons dans un premier temps la lithographie des zones de croissance avec une résine négative type M-AN 2410 qui est préparée selon la même recette que les transistors planaires. Nous nettoyons ensuite les fonds de résine à l'aide d'un plasma oxygène puis déposons les colloïdes comme précédemment. Une étape de lift-off permet de retirer la résine et au passage les colloïdes qui se sont déposés dessus. Cette méthode présente l'inconvénient de redéposer de façon incontrôlée des colloïdes sur le substrat. Ceci peut nuire aux performances électriques des dispositifs comme nous le verrons dans la section caractérisation électrique.

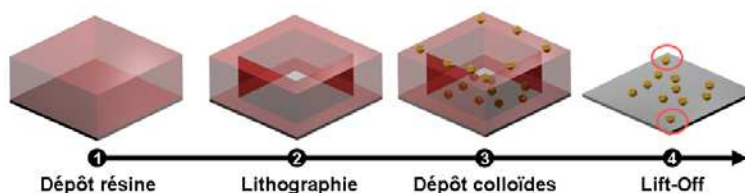


FIGURE 4.3 – Principales étapes technologiques pour la localisation de colloïdes d'or par lithographie optique et lift-off. Les colloïdes entourés en rouge sont issus du redépôt après lift-off.

4.2.2.2 Lithographie électronique

Cette fois-ci la localisation du catalyseur sera réalisée par lithographie électronique ce qui permet de définir une position précise pour chaque fil. Pour cela les substrats sont nettoyés de la même façon que précédemment. Nous couchons ensuite une résine électro-sensible, du polyméthacrylate de méthyle (PMMA) 4% à une vitesse de 4000 rpm pendant 60 s avec une accélération de 2000 rpm.s⁻¹. La résine est recuite à 180 °C pendant 5 min. La lithographie est effectuée à l'aide d'un masqueur électronique avec une dose d'exposition de 1200 $\mu\text{C}/\text{cm}^2$. La résine est développée pendant 30 s dans un mélange de méthyl-isobutyl-cétone (MIBK) et d'IPA, avec un rapport de dilution de 3 :1, puis rincée à l'EDI pendant 30 s. Les fonds de résine sont ensuite gravés dans un plasma oxygène. Le catalyseur est ensuite déposé par évaporation. Une étape de lift-off dans de l'acétone permet de retirer le métal en excédent et l'échantillon est rincé à l'IPA. Enfin une dernière gravure plasma permet de retirer les derniers résidus de résine.

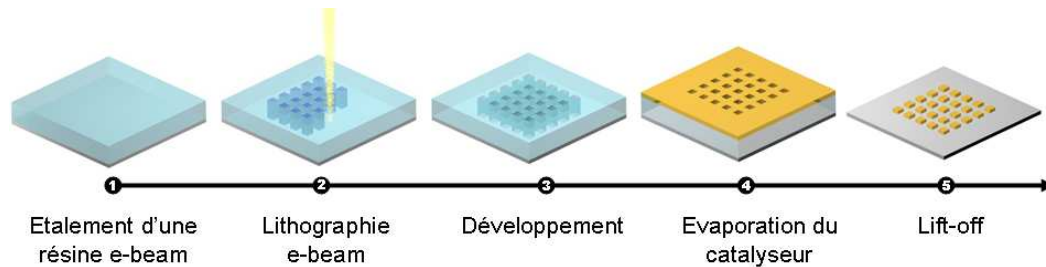


FIGURE 4.4 – Principales étapes technologiques pour la localisation de catalyseur d'or par lithographie électronique

4.2.3 Croissance

Une fois les catalyseurs localisés nous procédons à la croissance des nanofils. Les recettes utilisées sont celles présentées dans le chapitre précédent. Les recettes sont identiques quelle que soit la forme du catalyseur : colloïdes ou or démouillé. La suite du procédé étant identique quelque soit la nature du catalyseur une seule configuration sera présentée. Les images MEB suivantes rendent compte de l'aspect des nanofils s'il sont crus à partir de colloïdes d'or ou de plots réalisés par lithographie électronique.

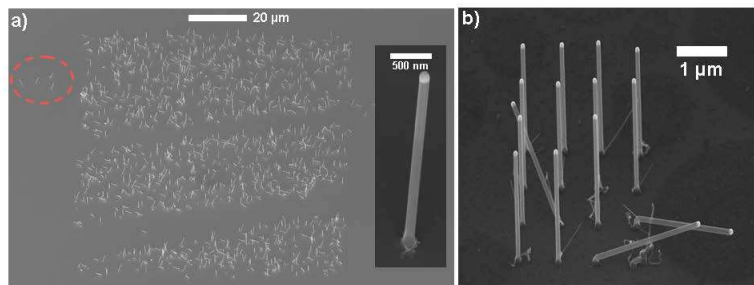


FIGURE 4.5 – a) Image MEB de nanofils crus à partir de colloïdes. L'insert montre un zoom sur un fil. On constate sur la gauche de l'image, entourés de rouge, des colloïdes qui se sont redéposés lors de leur lift-off. b) Image MEB de nanofils crus à partir de plots d'or localisés par lithographie électronique.

4.2.4 Retrait du catalyseur

Pour procéder à la réalisation de dispositifs électriques nous choisissons de retirer dans un premier temps l'or qui a servi de catalyseur pendant la croissance. Pour cela nous reprenons la séquence chimique présentée dans le chapitre précédent mettant en jeu des bains de HF et d' $I_2 : KI$. Nous devons ensuite procéder à l'étape permettant d'obtenir un oxyde de grille.

4.2.5 Oxyde de grille

L'architecture d'un MOSFET requiert l'utilisation d'un oxyde de grille afin de réaliser la capacité MOS de contrôle du canal. Deux méthodes s'offrent à nous pour obtenir cet oxyde.

4.2.5.1 L'oxydation thermique.

Il s'agit de faire croître un oxyde en portant à haute température et sous oxygène les nanofils. Ainsi l'oxygène gazeux réagit en surface de l'échantillon avec les atomes de silicium pour former du SiO_2 . Cet oxyde est

réalisé dans le four de recuit rapide. Les conditions standards sont 800 °C pendant 5 minutes sous 2000 sccm d'oxygène pur à pression atmosphérique. Ceci permet d'obtenir un oxyde d'environ 10 nm d'épaisseur sur les nanofils de silicium et de 25 nm sur les fils SiGe.

4.2.5.2 Oxydes déposés

Si l'oxydation thermique ne s'avère pas adaptée à un cas particulier ou alors si l'on souhaite moduler la nature de l'oxyde et ainsi jouer sur sa permittivité il est alors possible de déposer cette couche isolante à l'aide de la méthode ALD présentée en annexe. Les épaisseurs utilisées sont typiquement de l'ordre de 15-20 nm quel que soit l'oxyde employé.

4.2.6 Dépôt du métal de grille

La grille du transistor vertical doit être enrobante, c'est-à-dire qu'elle doit former une gaine englobant le nanofil. Pour réaliser ce genre de structure il est nécessaire d'effectuer un dépôt le plus conforme possible. La méthode la plus simple à disposition est la pulvérisation cathodique présentée en annexe. L'épaisseur de métal déposé est de 70 nm sur le fond du substrat et d'environ 30 nm sur les flancs des nanofils (Fig 4.7). A l'issue de ce dépôt le métal couvre entièrement le substrat et les nanofils (Fig 4.6). Il va donc falloir procéder à la définition des contacts (ou pads), permettant de poser une pointe pour la caractérisation électrique, et à la définition de la hauteur de grille en gravant le métal présent au sommet des fils.

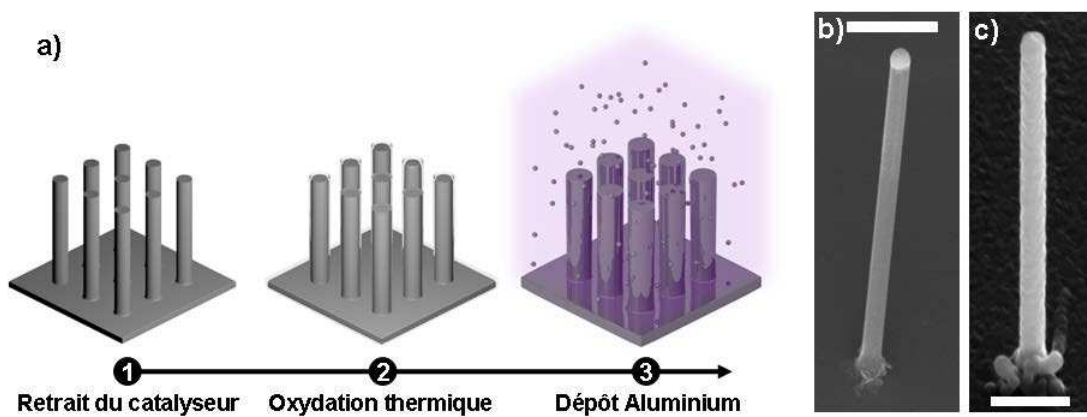


FIGURE 4.6 – a) Schéma de principe du dépôt de l'empilement de grille. b) image MEB d'un nanofil avant retrait de l'or c) image MEB d'un nanofil après oxydation et dépôt du métal de grille par pulvérisation cathodique.

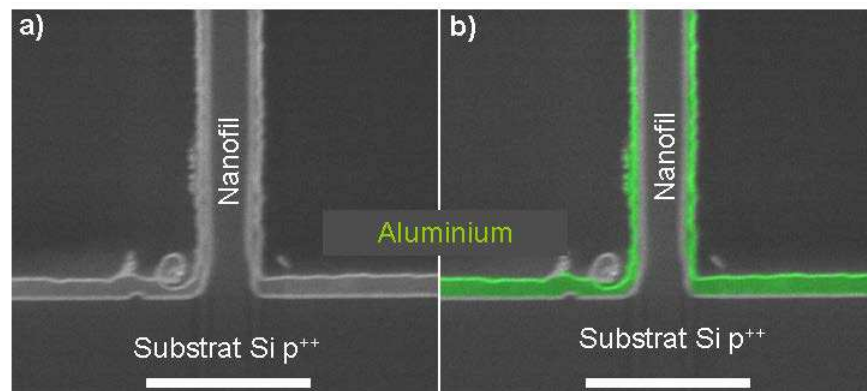


FIGURE 4.7 – a) Image MEB du pied d’un transistor vertical à nanofil Si. b) Image MEB du même transistor vertical à nanofil Si mettant en évidence la non-conformité du dépôt du métal de grille. L’oxyde de grille est la fine couche de couleur blanche présente entre le nanofil et le métal de grille.

4.2.7 Définition du pad et contrôle de la hauteur de grille

La définition de la grille et du plot de contact peut s’effectuer en une seule étape. Une résine positive type AZ1512HS est tout d’abord étalée sur l’échantillon puis recuite dans ses conditions standards. S’en suit une exposition de 25s aux UV avec le masque adapté à la définition du plot de contact. La résine est ensuite développée et une étape de nettoyage à l’aide d’un plasma d’oxygène permet de retirer les résidus potentiels. A ce moment une vérification concernant l’alignement du plot avec les zones de croissance est recommandé. En cas de mauvais alignement il reste possible de recommencer cette étape en effectuant un retrait de la résine et en recommençant les étapes précédentes. Si l’alignement est correct nous utilisons alors un plasma d’oxygène permettant de graver la résine et ainsi de révéler la partie supérieure des nanofils. La puissance et le temps d’exposition au plasma permettent de moduler la longueur de fil exposée. L’aluminium est ensuite gravé en voie humide à l’aide d’une solution commerciale d’Aluminium Etchant pendant 4 minutes à température ambiante. L’échantillon est ensuite rincé à l’eau déionisée puis la résine est retirée avec un nettoyage acétone-IPA. Enfin une dernière étape de nettoyage plasma permet de retirer les résidus potentiels.

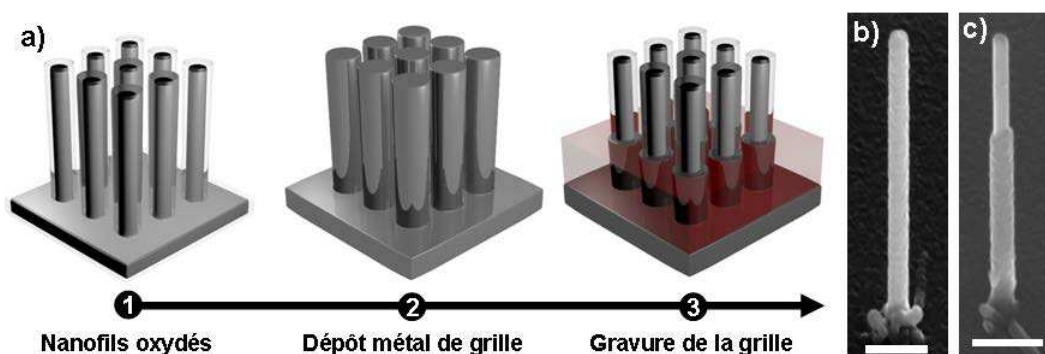


FIGURE 4.8 – a) Schéma des principales étapes technologiques menant à la définition de la grille. b) Image MEB d’un nanofil enrobé d’aluminium. c) Image MEB d’un nanofil après définition de la hauteur de grille. Les barres d’échelle représentent 500 nm.

Nous venons de voir qu’avant de graver la grille nous procédions à une gravure plasma afin de définir la hauteur du métal que nous souhaitions conserver. Il peut cependant arriver que la résine utilisée soit extrêmement

fine, par exemple du PMMA 4% qui s'étale autour des 200 nm, et que sa hauteur soit déjà celle que nous désirons. On serait alors tenté de ne pas effectuer de gravure oxygène afin de ne pas amincir le polymère. Si nous procédons de cette manière la gravure de grille va engendrer des structures comme celle présentée sur la figure 4.9. Les deux nanofils présentés ont été enrobés dans de l'aluminium puis une couche de PMMA 4% a été utilisée comme masque à la gravure. L'épaisseur de la résine étant celle voulue pour définir la grille aucune gravure plasma n'a été effectuée. On constate sur les images MEB qu'une fine gaine enrobe les structures. Les images EDX confirment que cette gaine est majoritairement composée de carbone, autrement dit de la résine. Ceci est dû au fait que le PMMA a été dispensé à l'aide d'une pipette par dessus l'échantillon. Ainsi la goutte de PMMA a, pendant une durée relativement courte, complètement enrobée les nanofils. Ceux qui ne l'ont pas été au moment de la dispense se sont vu couverts par la résine lors du tournage de l'échantillon. Le PMMA est assez fluide et l'aluminium suffisamment hydrophile pour que la résine puisse remonter le long des structures sous l'effet de la force centrifuge combinée aux effets de capillarité. L'inconvénient est que la gravure de grille n'est plus du tout maîtrisée. Il arrive que cette dernière se passe convenablement comme sur l'image 4.9 a) mais dans la plupart des cas un effet de masquage apparaît comme sur l'image 4.9 c) où un bourrelet est formé au milieu du fil. Cette gaine peut également fortement accélérer la gravure de la grille par effet de capillarité. Il est donc primordial, dans un souci de reproductibilité et de contrôle du procédé d'intégration, de toujours effectuer une gravure plasma oxygène après avoir déposé de la résine sur des nanofils afin de graver cette fine pellicule de résine présente sur les flancs des nanofils.

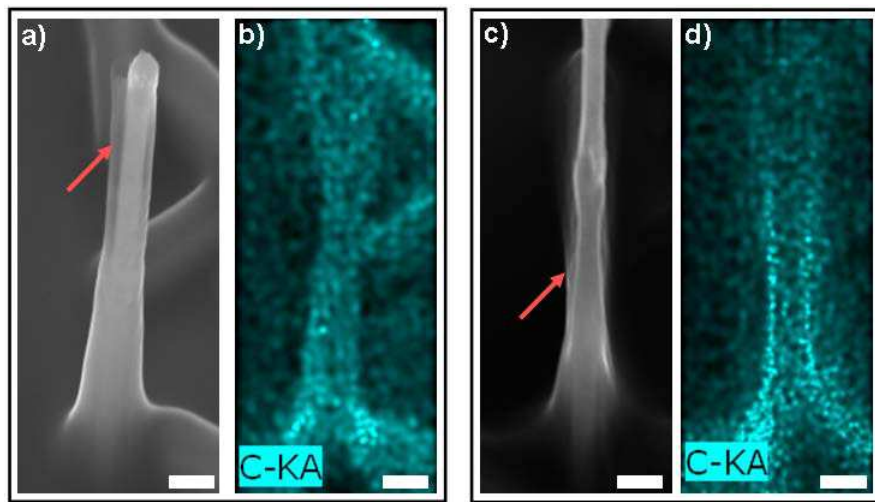


FIGURE 4.9 – a) et c) Images MEB et b), d) Images EDX d'un nanofil après gravure de la grille sans gravure préalable du masque en résine. Les barres d'échelle représentent 200 nm.

4.2.8 Isolation Grille-Drain

Afin de pouvoir reprendre un contact au sommet des nanofils il est nécessaire de procéder à l'enrobage des nanofils dans un matériau diélectrique qui permettra d'isoler le contact de grille de celui du drain. Ce matériau doit répondre à plusieurs exigences. Il doit être facile à déposer et dans le meilleur des cas être planarisant afin d'obtenir après dépôt une surface parfaitement plane facilitant la reprise de contact. Il faut également pouvoir le graver facilement afin de dégager la tête des fils pour la reprise de contact. Enfin il est souhaitable que l'oxyde de grille puisse être gravé sélectivement par rapport à l'isolant inter-électrodes, en effet pour reprendre le contact au sommet des nanofils il est nécessaire de graver l'oxyde de grille et cette gravure ne doit en aucun cas endommager l'isolant sous-jacent sous peine de créer des courts-circuits grille-drain. Un premier matériau

envisagé pour sa facilité de dépôt et ses bonnes propriétés diélectriques a été le spin-on-glass (SOG). L'atout majeur de ce diélectrique est son mode de dépôt par tournage. Ce méthylsiloxane se présente sous forme liquide et se dépose ainsi à la manière d'une résine avec des recuits post dépôt permettant l'évaporation des solvants et son durcissement. Un second atout est sa forte capacité à planariser des surfaces présentant de nombreux reliefs et pour cela trouve ses principales applications dans les étapes back-end des circuits. Un premier problème concernant son utilisation s'est révélé lors du dépôt. L'inconvénient majeur de ce spin-on-glass est sa faible résistance aux contraintes thermiques aussi les étapes de recuit doivent être respectées de manière scrupuleuse. Cette faible résistance est accrue lorsque l'on souhaite augmenter l'épaisseur totale de SOG déposée et que l'on procède à des dépôts successifs. Les contraintes sont telles qu'il est fréquent de voir apparaître de larges crevasses comme présenté en figure (4.10)

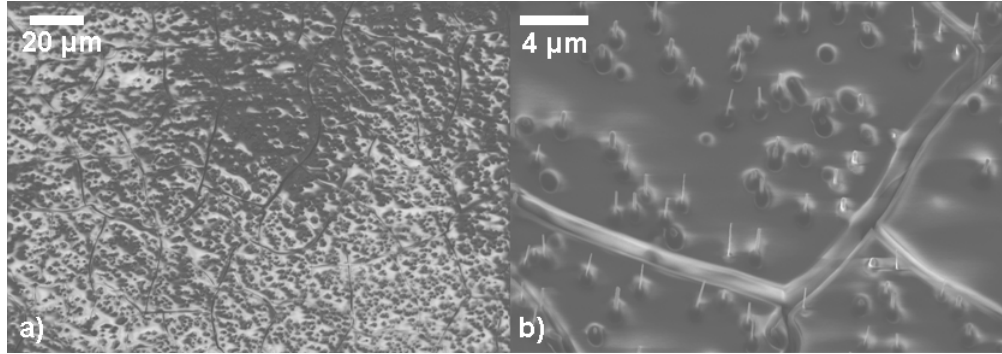


FIGURE 4.10 – a) Image MEB de la surface de multicouches de spin-on-glass après recuit laissant apparaître de larges fissures. b) Grandissement de (a)) montrant une fissure d'environ 1 µm de large.

L'apparition de ces défauts est limité à l'utilisation en multi-couches du SOG et sa compatibilité avec les dispositifs de faibles longueurs de grille n'était pas à exclure comme le montre la figure (4.11) représentant l'épaisseur de SOG en fonction de la vitesse d'étalement utilisée. Cette épaisseur peut être modélisée par une loi exponentielle décroissante du type :

$$E_{SOG} = E_{\infty} + E_0 \exp\left(\frac{-v}{v_1}\right) \quad (4.1)$$

Avec E_{SOG} l'épaisseur de spin-on-glass attendue, E_{∞} l'épaisseur de SOG obtenue pour une vitesse infinie de tournage, E_0 l'épaisseur de spin-on-glass telle qu'à $t = 0$ s $E_{SOG} = E_{\infty} + E_0$, v la vitesse de rotation et v_1 la vitesse caractéristique. L'ajustement nous permet d'extraire les valeurs de ces paramètres comme $E = 340$ nm, $E_0 = 784$ nm et $v_1 = 1960$ rpm.

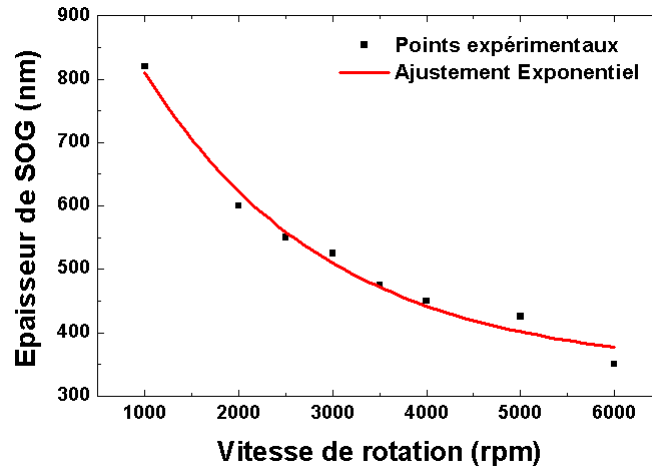


FIGURE 4.11 – Épaisseur de spin-on-glass étalée en fonction de la vitesse de rotation de l'échantillon. Les points représentent les mesures expérimentales et le trait plein rouge un ajustement par une loi exponentielle.

Nous avons cherché dans un premier temps à vérifier les bonnes propriétés diélectriques du spin-on-glass. Pour cela une couche de SOG a été déposée sur un substrat de silicium très fortement dopé et des plots d'aluminium ont été déposés par évaporation. La mesure $I(V)$ entre le plot d'aluminium et le substrat est présentée dans la figure 4.12. La zone entourée en rouge est un artéfact de mesure. En effet, à cause des faibles niveaux de courant observés l'appareil change automatiquement de calibre de mesure induisant ainsi une marche de courant apparente. On constate que le spin-on-glass est parfaitement isolant même pour de faibles épaisseurs, le niveau de courant mesuré se situant dans le bruit de l'appareil.

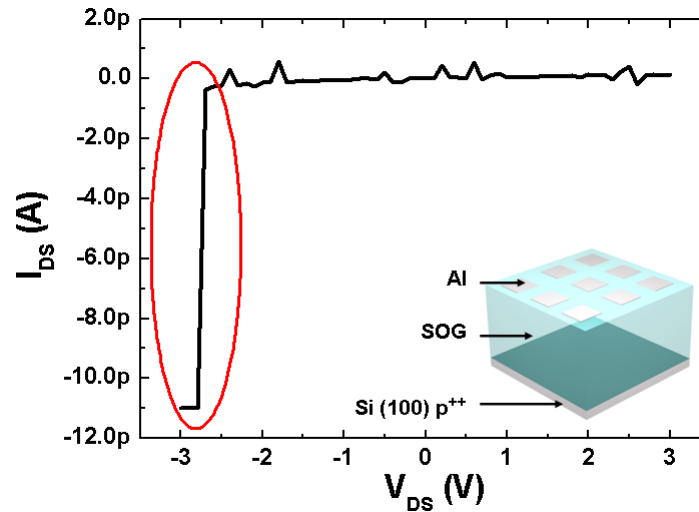


FIGURE 4.12 – Courbe courant tension caractéristique d'une couche de 400 nm de Spin-on-glass. L'insert montre un schéma du dispositif caractérisé.

Des nanofils ont donc été enrobés avec une couche de SOG et une étude de ses propriétés de gravure a été entreprise. Le premier objectif est de pouvoir dégager la tête des nanofils. La structure du SOG étant proche de celle du SiO_2 une gravure plasma dédiée à l'oxyde de silicium sera donc adaptée. Un point crucial reste la possibilité de graver l'oxyde de grille sans trop endommager la couche de SOG. La méthode la plus simple et la plus efficace pour obtenir un bon contact supérieur est de désoxyder le fil à l'aide d'un bain de HF 1%.

Nous avons donc exposé des fils oxydés et enrobés dans du SOG à cette solution pendant 20 s afin d'observer le comportement du SOG.

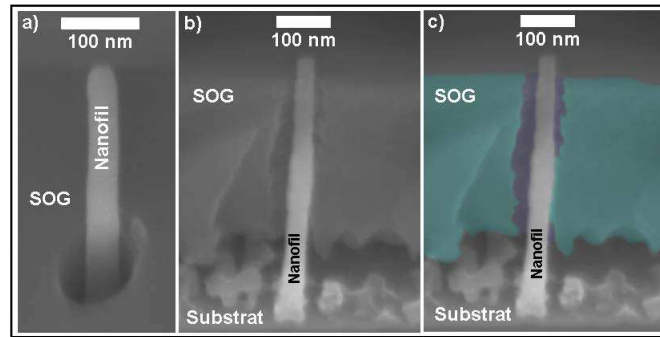


FIGURE 4.13 – Images MEB de nanofils Si oxydés thermiquement et enrobés dans du SOG puis exposés à du HF 1% pendant 20 s a) image à 45° du sommet du fil b) et c) images originale et colorisée prises à 90° d'une coupe de la structure. La région colorisée en foncée représente une surface du SOG en retrait par rapport au plan de coupe.

Comme nous pouvons le constater le SOG est gravé de manière extrêmement rapide le long du fil traduisant un effet de capillarité très fort. Cet effet est tellement important que le HF a pu atteindre le pied des fils et commencer à graver le SOG à l'interface avec le substrat. L'utilisation de ce matériau n'est donc pas adapté à nos besoins.

En remplacement de ce SOG nous avons utilisé un polymère organique type ACCUFLO. Ce dernier se dépose également par tournage mais présente l'indéniable avantage de ne nécessiter que deux recuits de durée et de températures beaucoup plus faibles que le SOG. C'est également un très bon candidat pour la planarisation de surfaces. La gravure de ce matériau peut s'effectuer en voie sèche à l'aide d'un plasma oxygène et il est parfaitement résistant aux gravures humides telles que le HF utilisées pour désoxyder les fils. La gravure par voie sèche de l'ACCUFLO doit cependant être faite dans des conditions adaptées à notre application. Ce matériau étant dédié à l'isolation grille/drain il faudra être capable de graver de façon contrôlée et parfaitement isotrope l'ACCUFLO, l'isotropie nous garantissant de graver même les flancs des fils afin d'éviter la présence d'une fine pellicule de polymère. Pour obtenir une isotropie la plus forte possible nous choisissons de travailler dans une atmosphère d'oxygène pure lors de la gravure. Le fait de ne pas introduire de gaz neutre permet d'obtenir des vitesses de gravure lentes afin de mieux contrôler l'arrêt de cette dernière. Nous choisissons également de ne pas polariser le substrat afin de limiter au maximum le bombardement ionique. En partant d'une recette existante nous ne modulons ainsi que la puissance de la source plasma. Les meilleurs conditions de gravure sont obtenues pour des puissances inférieures ou égales à 75 W. Au delà de cette limite la gravure à proximité des fils est plus rapide et cela crée des creux, ce qui peut mener à un dégagement non contrôlé de la grille comme présenté en figure 4.14 c).

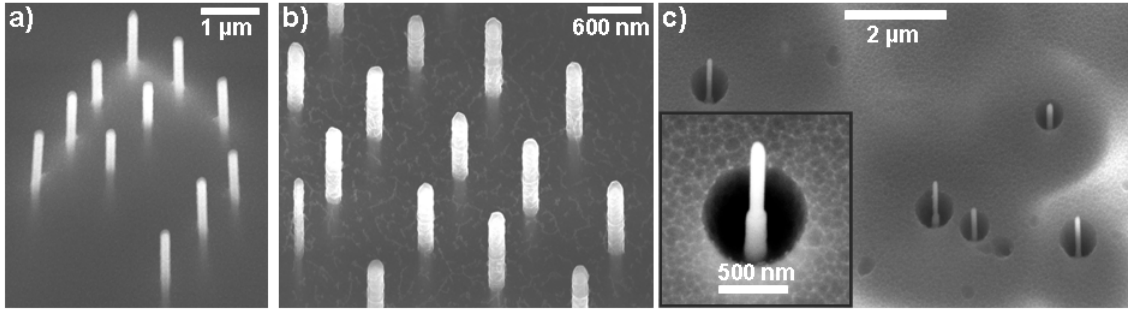


FIGURE 4.14 – Images MEB montrant le pourtour des fils après gravure sous plasma d’oxygène de la couche d’ACCUFLO enrobant les nanofils pour des puissance de a) 50 W b) 75 W et c) 100 W.

De la même manière que pour le spin-on-glass ses propriétés diélectriques ont été confirmées en réalisant le même type de dispositif que précédemment avec une couche d’ACCUFLO d’environ 400 nm. La caractéristique électrique est présentée dans la figure 4.15. On retrouve encore une fois un saut de courant dû au changement de calibre en début de mesure.

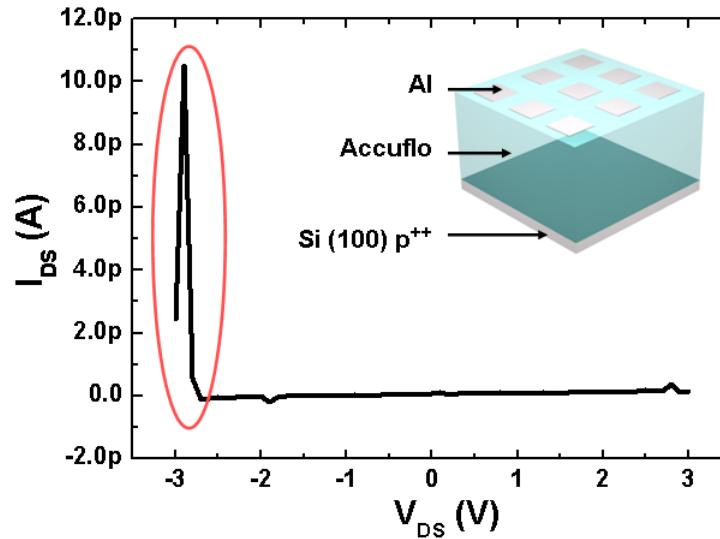


FIGURE 4.15 – Courbe courant tension caractéristique d’une couche de 400 nm de Spin-on-glass. L’insert montre un schéma du dispositif caractérisé.

Seul point négatif, sa tenue en température. Il est en effet impossible de dépasser les 270 °C après le dernier recuit sous peine de bruler la couche. Ce matériau simple d’utilisation est donc parfaitement dédié à la démonstration de faisabilité de transistors verticaux mais une fois le concept démontré il sera nécessaire de trouver une alternative. En effet, la nécessité de siliciurer les contacts impose un budget thermique minimum incompatible avec l’utilisation d’espaceurs organiques. Les alternatives à ce matériau seront discutées dans le dernier chapitre de cette thèse.

Nous avons exposé la méthode permettant d’isoler électriquement l’ensemble des structures ainsi que les étapes permettant de dégager les nanofils. Nous allons désormais nous intéresser à la réalisation du contact supérieur ainsi qu’à la reprise du contact de grille.

4.2.9 Reprise de contacts

4.2.9.1 Drain

Une fois la grille isolée le sommet des nanofils est donc dégagé à l'aide d'un plasma oxygène. Pour s'assurer d'un bon contact une longueur d'environ 200 nm de nanofil est libérée. Nous procédons ensuite à la définition du contact de drain par lithographie optique en utilisant la résine Ma-N 2410 dans les conditions standards d'utilisation. Après développement et nettoyage des fonds de résine par plasma, le contact supérieur est métallisé par évaporation en prenant garde à ce que l'épaisseur de métal déposée soit supérieure à la hauteur dégagée de nanofils afin de s'assurer de la bonne continuité électrique du contact. La résine est ensuite soulevée dans un bain d'acétone et l'échantillon est rincé à l'IPA.

4.2.9.2 Grille

A ce moment du procédé d'intégration le contact de grille est enterré sous le polymère ACCUFLO. Pour permettre la caractérisation électrique nous gravons ce dernier à l'aide d'un plasma oxygène en utilisant le contact de drain comme masque à la gravure. La fin de gravure se fait à l'aide d'une détection de fin d'attaque utilisant un interféromètre laser couplé à un système d'acquisition. Le spot laser est placé sur le contact de grille. Lors de la gravure l'intensité du signal mesuré varie avec l'épaisseur de polymère en visée du laser. Dès que la grille est libérée le signal devient constant et la gravure peut être arrêtée. Une légère sur-gravure est toujours effectuée afin de s'assurer que tous les contacts sont ouverts. Le dispositif est désormais prêt à être caractérisé.

4.3 Caractérisation électrique des transistors à nanofils verticaux

4.3.1 Introduction

Une fois les dispositifs réalisés nous procédons aux mesures électriques. Nous utilisons pour cela une station sous pointes comme pour les transistors planaires.

Nous allons voir dans un premier temps nous intéresser aux nanofils Si et plus précisément à l'influence d'une localisation mal maîtrisée du catalyseur sur les résultats électriques des dispositifs. Une fois les problèmes mis en avant nous procéderons à une correction du procédé d'intégration afin de se diriger vers des composants aux performances accrues. Nous positionnerons notre travail et nos résultats sur le plan international en se basant sur les travaux d'autres équipes.

Dans un deuxième temps nous nous focaliserons sur l'utilisation de nanofils SiGe comme canaux de conduction et situerons également nos travaux par rapport aux précédents déjà réalisés.

4.3.2 Nanofils Si

4.3.2.1 Effets de la localisation du catalyseur

Les premiers dispositifs ont été réalisés en utilisant de la lithographie optique dans le but de localiser le catalyseur de croissance. Comme nous l'avons vu deux méthodes nous permettent d'atteindre ce but soit en gravant les colloïdes soit en les "liftant". La première méthode que nous avons mise en œuvre était la localisation par lift-off. Le problème principal de cette méthode est qu'il demeure constamment quelques

colloïdes en dehors des zones lithographiées en raison de leur redépôt lorsque la couche de résine est dissoute. Ceci conduit donc à la présence non contrôlée de nanofils. Les fils qui se trouvent en dehors du contact de grille mais qui sont tout de même connectés au drain ont pour effet d'augmenter le courant à l'état bloqué lorsque la tension de drain augmente. La figure 4.16 met en évidence cet effet. Deux dispositifs sont présentés. On remarque que les courants à l'état ouvert correspondent à ce que l'on pourrait espérer d'un nanofil, par contre les courants à l'état bloquant sont excessivement élevés et varient en fonction de la tension de drain appliquée. La méthode de reprise de contact supérieur est donc adaptée à notre application car un grand nombre de nanofils semblent être contactés, cependant la localisation du catalyseur n'est pas adaptée et conduit donc à de faibles rapports I_{ON}/I_{OFF} en raison des fuites élevées. Malgré cet aspect négatif de la localisation du catalyseur nous pouvons exploiter ce début de résultats électriques. Nous constatons le comportement de type n comme attendu en raison de l'inversion de dopage durant l'oxydation thermique. Les courbes $I_{DS} - V_{DS}$ montrent également clairement le comportement Schottky du contact supérieur. Il faut noter également la présence d'un phénomène d'hystérésis pour les deux dispositifs présentés. Cette hystérésis s'avère d'ailleurs plus importante dans le dispositif n°1. Ce dispositif semble également présenter, pour des tensions de drain et de grille données, une valeur de courant plus importante que le dispositif n°2. Or la surface totale de nanofils servant l'effet transistor est plus petite. Ceci signifie donc qu'un plus grand nombre de nanofils parasites ont été contactés.

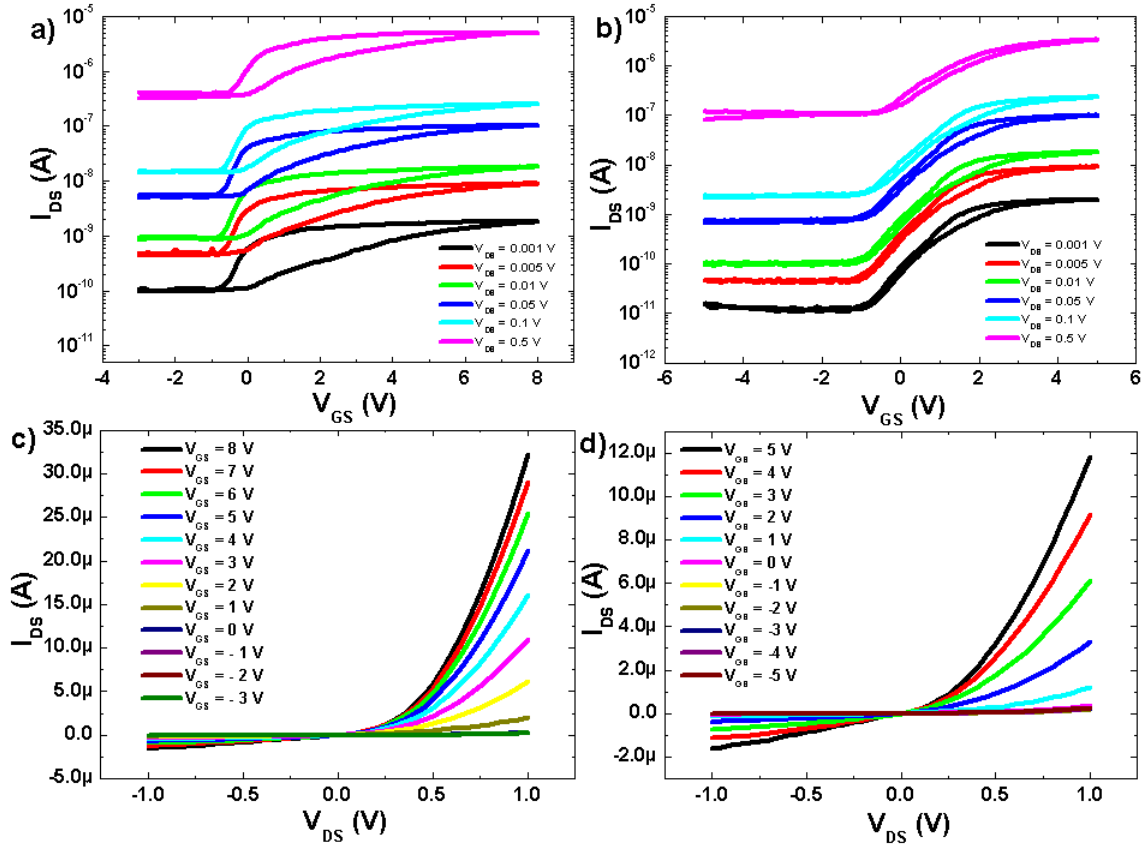


FIGURE 4.16 – a) et b) caractéristiques $I_{DS} - V_{GS}$ pour différents V_{DS} de deux transistors verticaux à nanofils Si de 100 nm de diamètre. c) et d) caractéristiques $I_{DS} - V_{DS}$ pour différents V_{GS} des deux mêmes dispositifs.

Les dispositifs sont loin d'être à leur optimum de fonctionnement mais une première démonstration de notre procédé permet de dire que le contactage vertical est tout à fait réalisable. Le point critique semble pour le

moment résider dans la localisation du catalyseur. Aussi, afin de palier à ce problème deux solutions vont être envisagées : la localisation de colloïdes par gravure de ces derniers et la lithographie électronique. Dans un soucis de simplicité de réalisation, la gravure des colloïdes par bain chimique a été la première solution envisagée. Nous allons donc voir l'impact que cette localisation a eu sur le comportement électrique des transistors.

4.3.2.2 Localisation contrôlée et propriétés électriques

Grâce à cette méthode de lithographie suivie d'une gravure chimique de l'or, les nanofils parasites sont inexistants. En utilisant les mêmes étapes technologiques d'intégration que précédemment nous obtenons des dispositifs verticaux à canal nanofil dont les caractéristiques vont être discutées. Les caractéristiques électriques des dispositifs sont présentées dans la figure 4.17.

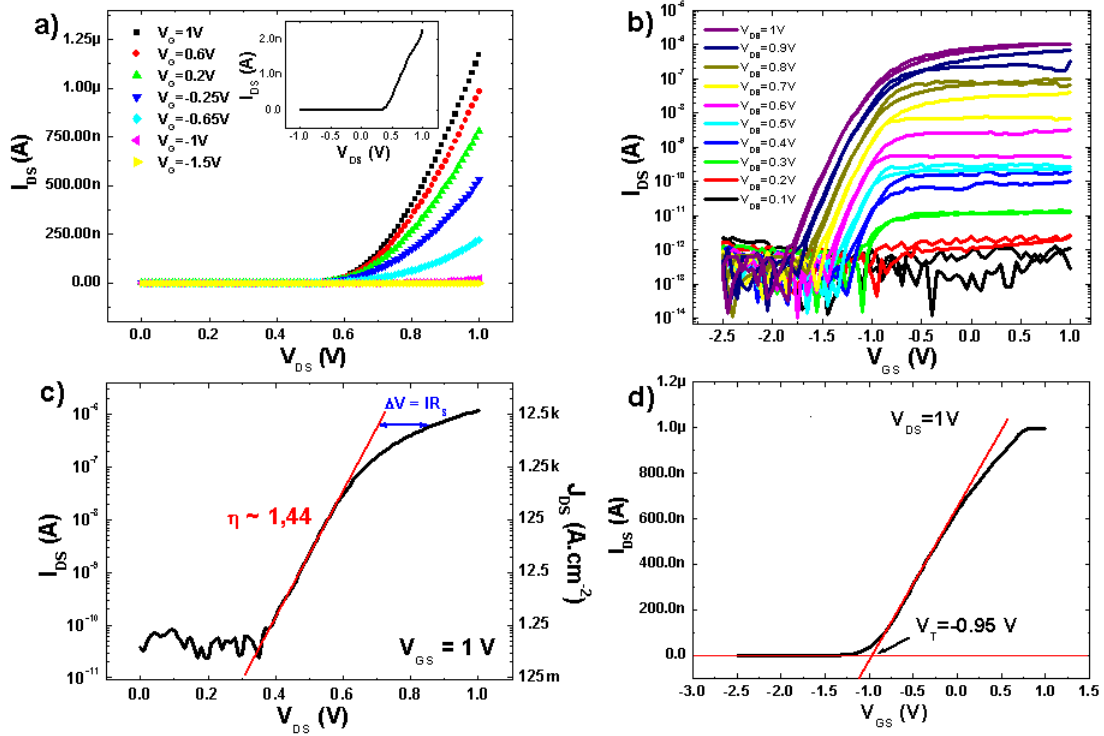


FIGURE 4.17 – a) caractéristique $I_{DS} - V_{DS}$ d'un transistor vertical à nanofil Si pour différentes tensions de grille. L'insert montre un scan allant jusque dans les tensions négatives de drain pour une tension de grille de -1 V. b) caractéristique $I_{DS} - V_{DS}$ pour différents V_{DS} du même transistor. c) caractéristique $I_{DS} - V_{DS}$ à $V_{GS} = 1$ V représentée en échelle logarithmique. d) caractéristique $I_{DS} - V_{GS}$ à $V_{DS} = 1$ V avec extraction de la tension seuil.

Afin de mieux comprendre le comportement des dispositifs nous avons également procédé, après caractérisation électrique, à la découpe des échantillons par FIB comme le montre la figure 4.18. A l'aide de ces données nous allons pouvoir extraire les paramètres de nos transistors.

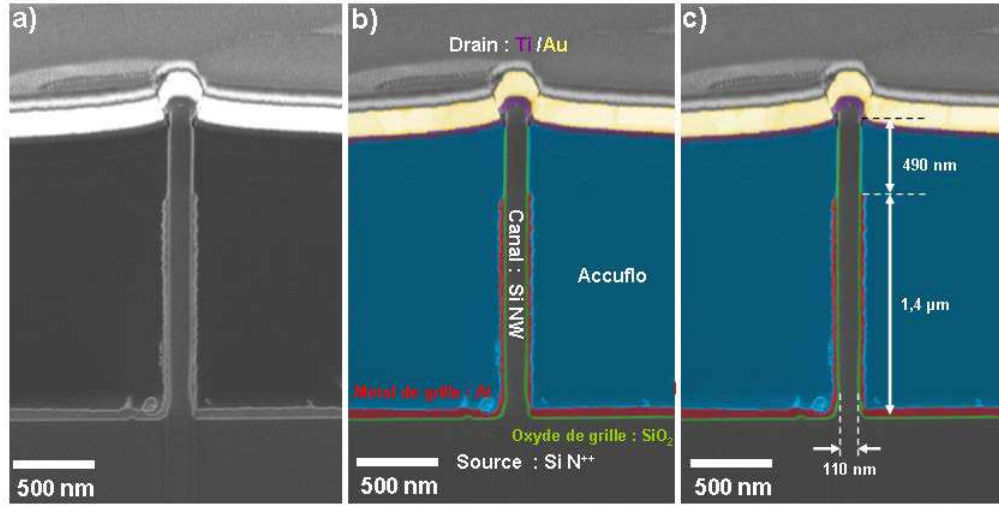


FIGURE 4.18 – Images MEB d’une coupe FIB d’un transistor vertical à nanofil silicium dont les caractéristiques sont présentées en figure 4.17. a) Image MEB brute b) Image MEB colorisée avec mise en évidences des divers matériaux c) Image MEB colorisée avec mise en évidences des dimensions représentatives.

La structure que nous caractérisons est en réalité une diode Schottky en contact avec une couche semiconductrice de type n épitaxiée sur une substrat dégénéré n. On peut représenter le diagramme de bande de ce dispositif comme sur la figure 4.19.

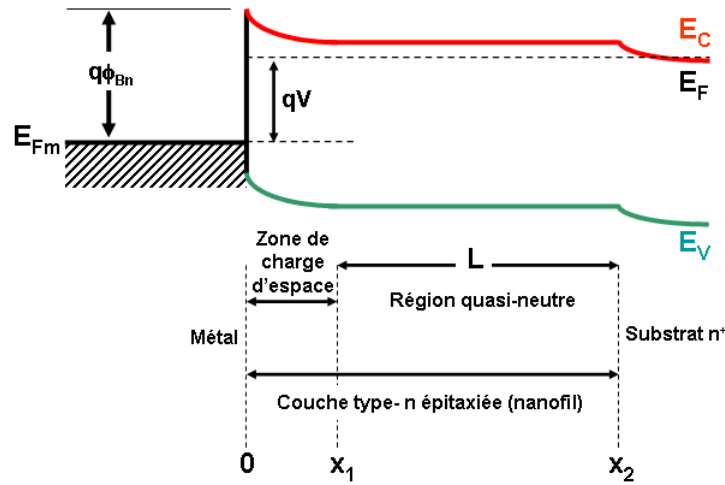


FIGURE 4.19 – Diagramme de bande d’une diode Schottky sur couche semiconductrice type n épitaxiée sur un substrat type n fortement dopé en polarisation directe. d’après [7]

Nous pouvons ainsi écrire que pour une polarisation directe, pour des semiconducteurs modérément dopés et pour des tensions de polarisation supérieures à $3kT/q$ le courant s’exprime comme :

$$J = A^{**}T^2 \exp\left(\frac{-q\phi_{B0}}{kT}\right) \exp\left(\frac{q(\Delta\phi + V)}{kT}\right) \quad (4.2)$$

Etant donné que A^{**} et $\Delta\Phi$ dépendent peu de la tension appliquée alors le courant direct peut s’exprimer comme $J = J_0 \exp\left(\frac{qV}{\eta kT}\right)$, avec η le facteur d’idéalité qui s’exprime comme :

$$\eta \equiv \frac{q}{kT} \frac{dV}{d(\ln J)} \quad (4.3)$$

Notons que dans ce cas nous négligeons la barrière formée à l'interface nanofil/substrat qui est beaucoup plus faible de la barrière Schottky du drain. Ainsi, pour une tension de grille de 1 V nous trouvons un facteur d'idéalité de l'ordre de 1,44 comme présenté sur la figure 4.17 c) . Ce facteur d'idéalité qui est généralement compris entre 1 et 2 traduit les mécanismes dominants mis en jeu dans le fonctionnement de la diode. Pour $n=1$ la diode est considérée comme idéale et donc gouvernée par les mécanismes thermoioniques et de diffusion, pour $n=2$ ce sont les mécanismes de génération/recombinaison des porteurs qui dominent. On constate donc que notre diode n'est pas idéale mais peut présenter des mécanismes de transport comme de l'effet tunnel à travers la barrière Schottky ou de la recombinaison de porteurs dans la zone de charge d'espace. La résistance série R_S du dispositif peut également être estimée en modifiant l'expression du courant comme suit :

$$I = AJ_0 \left\{ \exp \left[\frac{q(V - IR_S)}{\eta kT} \right] - 1 \right\} \quad (4.4)$$

avec A la surface du contact. On peut ainsi calculer la résistance différentielle en polarisation directe qui dépend du courant comme :

$$\frac{dV}{dI} = \frac{\eta kT + qIR_S}{qI} \quad (4.5)$$

D'après la figure 4.17 c) on approxime la résistance série à environ 250 k Ω . D'après la coupe FIB réalisée sur ce dispositif, la distance libre entre la grille et le contact de drain qui est la source majeure de résistance parasite lorsque le canal de conduction est ouvert est d'environ 490 nm. De plus le nombre de nanofils contactés varie entre 1 et 10 d'après nos estimations lors de la découpe des échantillons. Comme le diamètre d'un fil est d'environ 110 nm nous pouvons estimer la résistivité d'un nanofil entre 0,5 Ω .cm et 5 Ω .cm ce qui correspond dans le cas du silicium massif à un dopage compris entre 1.10^{15} et 1.10^{16} cm(d'après [7]) ce qui confirme les mesures de dopage réalisées en quatre pointes. Nous constatons que ce dispositif permet d'obtenir un effet de champ en jouant sur la polarisation de la grille. Il est ainsi possible d'obtenir des rapports I_{ON}/I_{OFF} allant jusqu'à 10^6 en fonction de la tension de drain appliquée. Le niveau de courant dans l'état bloqué est acceptable car en dessous de la résolution de notre équipement de mesure. Nous remarquons également que ce niveau de courant dans l'état bloqué ne dépend en aucun cas de la tension de drain appliquée. Les pentes sous le seuil obtenues varient également très peu en fonction de la tension de drain et sont de l'ordre de 145 mV/décade ce qui place nos dispositifs dans l'état de l'art actuel. L'optimisation de cette pente sous le seuil peut évidemment passer par un recuit "forming gas" et par un nettoyage plus poussé des nanofils avant oxydation. Quoiqu'il en soit cette valeur de pente sous le seuil nous permet d'estimer la densité des états d'interface à environ $3,4.10^{12}$ cm⁻².eV⁻¹. La tension seuil mesurée est également très faible, -0.95 V. Ceci est important car une faible tension seuil signifie que le déclenchement du transistor nécessitera moins de puissance et donc une consommation en fonctionnement plus faible. La valeur de cette tension seuil varie d'ailleurs très peu avec la tension de drain contrairement aux précédents résultats de Björk et al [98]. Ces derniers expliquent ce phénomène avec une forte l'injection de porteurs minoritaires dans leur dispositif participant au décalage de la tension seuil en fonction de la tension de polarisation de drain ainsi qu'à l'augmentation du courant dans l'état bloqué. Ce phénomène avait également été observé sur des dispositifs utilisant des nanotubes de carbone [99]. Soulignons tout de même la particularité de leur dispositif qui peut, sous de bonnes conditions de polarisation, se comporter comme un transistor à ionisation par impact dont la pente sous le seuil descend jusqu'à 5 mV/décade.

De manière générale, en comparant nos dispositifs à ceux précédemment réalisés dans la littérature nous constatons que les performances que nous obtenons sont proches. Il faut noter la bonne valeur de la pente sous le seuil ainsi que la forte densité de courant. La mobilité apparente des porteurs reste néanmoins faible mais ceci est une limite basse. L'optimisation de cette valeur passera par la diminution de la résistance d'accès relative à la longueur de fil non grillé entre le sommet de la grille et le contact de drain. Enfin nous constatons que le phénomène d'hystérésis précédemment observé sur les transistors planaires lors du balayage en tension de grille a été drastiquement réduit. Ceci est principalement dû à l'enrobage des nanofils dans le polymère empêchant ainsi toute interaction avec l'environnement extérieur proche.

TABLE 4.1 – Grandeurs physiques des précédents travaux rapportés sur des transistors verticaux à nanofils Si synthétisés par mécanisme VLS

	Ng et al (2004) [37]	Goldberger (2006) [38]	Schmidt et al (2006)[39]	Björk et al (2007) [98]	Cette étude [100]
obtention des fils	VLS	VLS	VLS	VLS	VLS
longueur des fils	1 μm	1-1,5 μm	400 nm	2 μm	2 μm
diamètre des fils	40 \pm 5 nm	20-30 nm	40 \pm 5 nm	60 nm	110 nm
Matériau	ZnO	Si	Si	Si	Si
dopage	type-n / type-p	type p - 3.10^{16} cm^{-3}	type n	type p	type n
longueur de grille	200 nm	500-600 nm	100 nm	1 μm / 500 nm	1,4-1,5 μm
longueur non grillée	N/A	400-1000 μm	2x100 nm	700 nm / 200 nm	490 nm
oxyde de grille	20 nm SiO_2 CVD	30-40 nm SiO_2 thermique	10 nm SiO_2 CVD	25 nm SiO_2 PECVD	10 nm SiO_2 thermique
Métal de grille	40 nm Cr	Cr	30 nm Al	100 nm Al	70 nm Al
densité de courant	N/A	N/A	N/A	10^6 A. cm^{-2} / N/A	10^4 à 10^5 A. cm^{-2}
pente sous le seuil	170 / 130 mV/décade	120 mV/décade	≈ 2 V/décade	220 / 250 mV/décade	145 mV/décade
transconductance	50 nS / 35 nS	0,2-8,2 μS	N/A	N/A	0.7-0.9 μS (1V)
mobilité apparente	0,53 / 0,23 $\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$	7,5-102 $\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$	N/A	30 $\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$ / N/A	1-20 $\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$
tension seuil	-3,5 V / 0.25 V	-0.39 \pm 0.19 V	N/A	1,65 V / N/A	-0.95 V
I_{ON}	N/A	N/A	N/A	5 μA (25 mA/mm) / N/A	1 μA
I_{OFF}	N/A	N/A	N/A	1 nA (5 $\mu\text{A/mm}$) / N/A	1 pA
I_{ON}/I_{OFF}	10^4 / 10^3	10^4 - 10^6	10^2	10^4 / N/A	10^2 - 10^6

4.3.3 Bilan - transistors Si

De manière générale les performances obtenues avec nos transistors verticaux à nanofils Si sont bonnes en comparaison des résultats rapportés dans la littérature. On remarque cependant que la mobilité apparente des porteurs demeure extrêmement faible et ce principalement à cause de la résistance d'accès. Afin de diminuer cette valeur il faudra développer une méthode permettant de diminuer la longueur non grillée du nanofil. Notons également que nos transistors ont été réalisés sur un substrat cristallin. Ce type de substrat devra à terme être remplacé par un matériau amorphe, idéalement métallique afin de répondre aux spécifications de l'intégration back-end. La température de croissance devra elle aussi être revue à la baisse pour les mêmes raisons que précédemment. Un autre objectif est de réduire le diamètre des nanofils ce qui est facilement faisable en modifiant le motif de lithographie électronique.

Nous allons désormais nous intéresser aux nanofils SiGe. Comme nous l'avons constaté précédemment, les nanofils SiGe présentent de très bonnes caractéristiques électriques lorsqu'ils sont utilisés comme canaux de conduction dans des transistors planaires. Aussi allons nous tenter de réaliser le même type de dispositifs verticaux qu'avec les fils Si afin de voir si les performances sont celles attendues. Comme nous l'avons déjà précisé, l'introduction de germanium aurait pour but non seulement d'augmenter la mobilité des porteurs dans le canal mais également de favoriser la croissance des fils à plus basse température en vue de leur intégration future dans les niveaux back-end.

4.3.4 Nanofils $Si_{0,7}Ge_{0,3}$

Nous avons donc également tenté de réaliser de tels dispositifs verticaux en utilisant des nanofils SiGe. Cette démonstration est importante afin d'appuyer la possibilité future de réaliser des transistors à effet tunnel. L'utilisation de tels nanofils pose cependant quelques problèmes inhérents à la présence de germanium. Tout d'abord la croissance localisée de ces nanofils s'avère être plus complexe à maîtriser que pour des nanofils Si. Il est en effet plus difficile de catalyser une croissance sur chaque plot d'or et la verticalité lors de la croissance est également moins évidente à obtenir. On constate sur les images MEB de la figure 4.20 que non seulement la verticalité concernant les fils SiGe est moindre que pour les fils Si mais que de nombreux colloïdes n'ont pas catalysés de croissance.

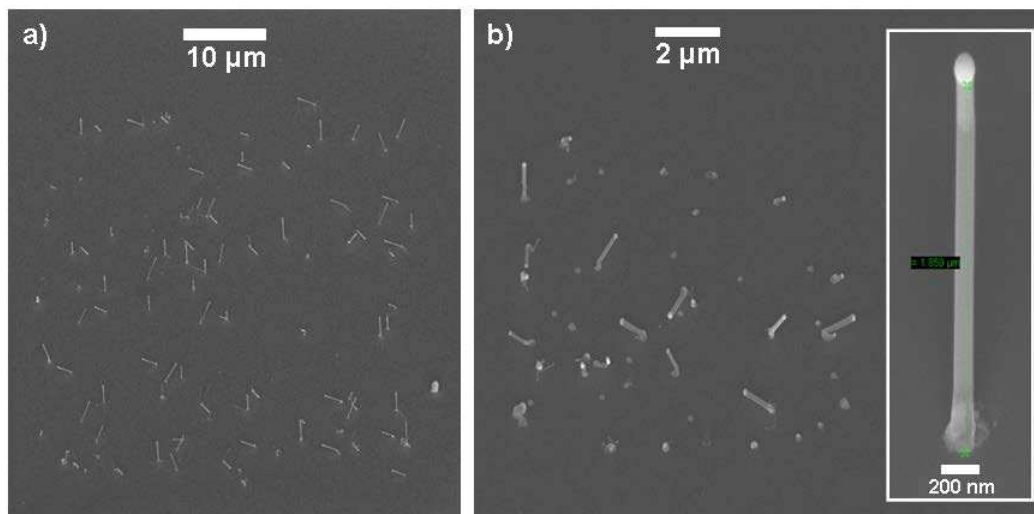


FIGURE 4.20 – Images MEB de nanofils a) Si et b) SiGe crus par VLS en vue de l'intégration verticale

L'optimisation des paramètres de croissance est à l'heure actuelle en étude et quelques échantillons ont tout de même pu être utilisés pour l'intégration verticale. Le même procédé d'intégration que les nanofils Si a été employé. Les caractéristiques électriques obtenues sont présentées dans la figure 4.21.

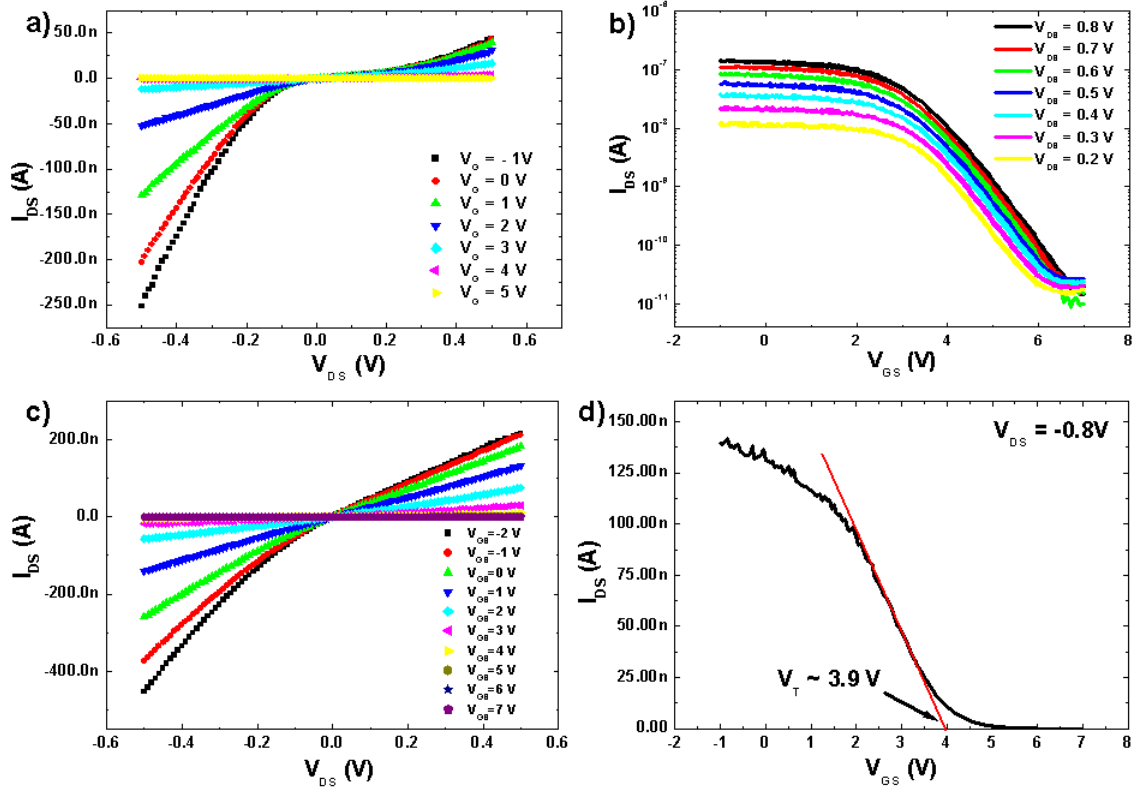


FIGURE 4.21 – a) courbe $I_{DS} - V_{DS}$ pour différentes tensions de grille du dispositif n°1. b) Courbe $I_{DS} - V_{GS}$ pour différents V_{DS} du dispositif n°1. c) courbe $I_{DS} - V_{DS}$ pour différentes tensions de grille du dispositif n°2. d) courbe $I_{DS} - V_{GS}$ pour $V_{DS} = -0.8$ V du dispositif n°1 avec extraction de la tension seuil.

Nous remarquons dans un premier temps que les deux dispositifs, dont les courbes $I_{DS} - V_{DS}$ sont présentées en 4.21 a) et c), ne se comportent pas comme des diodes à l'instar des transistors verticaux Si. Certes le dispositif n°1 présente une caractéristique légèrement redresseuse mais en aucun cas nous n'avons affaire à un quelconque état bloquant qui pourrait survenir pour une polarité donnée du drain. Le dispositif n°2 tend vers un comportement ohmique. Cette constatation constitue la première grande différence entre les deux matériaux utilisés. Le rapport de courants I_{ON}/I_{OFF} atteint un maximum de 10^4 pour une tension de drain de -0,8 V ce qui est comparable aux transistors planaires précédemment caractérisés. Le phénomène d'hystérésis lors du scan en tension de grille est également très faible de l'ordre de 50 mV ce qui, contrairement aux dispositifs horizontaux, est une très bonne valeur. La tension seuil est cependant élevée, voisine de 4 V. Aussi les tensions de fonctionnement sont encore très fortes en comparaison des transistors à nanofils Si. De la même manière, la pente sous le seuil adopte une valeur élevée d'environ 0,9 V/décade. Ceci reflète encore une fois la mauvaise qualité de l'interface entre le nanofil et l'oxyde de grille. Une estimation de la densité des états d'interface nous donne une valeur de l'ordre de $1,2 \cdot 10^{13} \text{ cm}^{-3}$. La mobilité apparente des porteurs est estimée comme précédemment dans le cas des nanofils Si et nous obtenons une valeur comprise entre 0,25 et $1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Cette valeur est évidemment en-deçà de nos espérances et comme pour les transistors à nanofil Si la résistance d'accès est suspectée d'être la cause majeure de la dégradation de la mobilité apparente des

porteurs.

Notons toutefois que cette réalisation est la première rapportée dans la littérature aussi aucune comparaison n'est possible avec des dispositifs du genre. Nous pouvons cependant nous positionner par rapport aux transistors planaires déjà réalisés par nos soins et par d'autres équipes. Le tableau 4.2 résume l'ensemble des résultats concernant la réalisations de SBFET à nanofils SiGe rapportés dans la littérature scientifique. Nous remarquons que les travaux précédents ont été effectués sur des nanofils SiGe de compositions différentes des nôtres. La mobilité apparente des porteurs dans les transistors verticaux est de l'ordre de grandeur de celle observée dans les transistors planaires à grille avant enrobante. L'écart avec les transistors à grille arrière s'explique à la fois par la présence de régions non grillées le long du nanofil et du non recouvrement d'au moins un des deux contacts source/drain par la grille. Dans les structures verticales la barrière Schottky joue donc un rôle primordial. De manière générale les performances obtenues sur nos dispositifs tant planaires que verticaux figurent l'état de l'art actuel sur les nanofils SiGe.

TABLE 4.2 – Grandeurs physiques des précédents travaux rapportés sur des transistors à nanofils SiGe

	Kim et al (2007)[44]	Qi et al (2007)[45]	Whang et al (2007) [46]	Cette étude	Cette étude	Cette étude [101]
obtention des fils	VLS	VLS	VLS	VLS	VLS	VLS
Configuration	Planaire - Grille arrière	Planaire - Grille arrière	Planaire- Grille arrière	Planaire- grille arrière siliciuré	Planaire- double grille	Verticale
Composition	$Si_{0.5}Ge_{0.5}$	$Si_{0.5}Ge_{0.5}$	$Si_{0.85}Ge_{0.15}$	$Si_{0.7}Ge_{0.3}$ condensé	$Si_{0.7}Ge_{0.3}$ condensé	$Si_{0.7}Ge_{0.3}$ condensé
longueur des fils	N/A	N/A	N/A	12 μm	12 μm	2 μm
diamètre des fils	40 nm / 80 nm	20-30 nm	20 nm	100 nm	100 nm (60 nm effectif)	100 nm (60 nm effectif)
dopage	type-n / type-p	type n	type p	type p	type p	type p
longueur de grille	N/A	500-600 nm	1 μm	4 μm	1-1,2 μm / 4 μm	200 nm
longueur non grillée	N/A	N/A	N/A	N/A	2 x 1,5 μm	\sim 1 μm
oxyde de grille	SiO_2	20 nm SiO_2 thermique	HfO_2 ALD	25 nm SiO_2 thermique + 200 nm Si_3N_4	25 nm SiO_2 thermique	25 nm SiO_2 thermique
Métal de contact	Ni	Pt	Pd	Ni	Ni	Ni
Métal de grille	Si dégénéré	Si dégénéré	TaN	Si dégénéré	Al / Si dégénéré	70 nm Al
densité de courant	159 / 4 A.cm ⁻²	N/A	3.10 ³ A.cm ⁻²	10 ⁶ A.cm ⁻²	2,5.10 ³ A.cm ⁻²	5.10 ³ A.cm ⁻²
pente sous le seuil	N/A	\sim 0,4 V/décade	97 mV/décade	mV/décade	3 V/décade / 4,2 V/décade	0,9 V/décade
transconductance	N/A	N/A	N/A	N/A	5,5 nS / 9 nS	50 nS ($V_{DS} =$ 0,8V)
mobilité apparente	2,09 / 0.607 cm ² .V ⁻¹ .s ⁻¹	240 cm ² .V ⁻¹ .s ⁻¹	N/A	290 cm ² .V ⁻¹ .s ⁻¹ / N/A	0,15-3 cm ² .V ⁻¹ .s ⁻¹	0,25-1 cm ² .V ⁻¹ .s ⁻¹
tension seuil	N/A	1 V < V_T < 2 V	\approx - 0,5 V	N/A	N/A	3,9 V
I_{ON}	2nA / 0,2 nA ($V_{DS} = 0,1$ V)	\sim 50 nA	N/A	2 μA	70 nA / 70 nA	140 nA (V_{DS} = 0,8 V)
I_{OFF}	0.5 nA / 0.002 nA ($V_{DS} =$ 0,1 V)	\sim 1 pA	N/A	200 pA	10 pA / 10 pA	10 pA
I_{ON}/I_{OFF}	4 / 10 ²	5.10 ⁴	10 ⁴	10 ⁴	10 ³ -10 ⁴	1,4.10 ⁴

4.3.5 Durée de vie des dispositifs

Un problème rencontré durant la caractérisation des transistors à nanofils SiGe pose la question de leur durée de vie limitée. En effet, après plusieurs scans en tension de grille une augmentation significative du courant à l'état bloqué est apparue (figure 4.22a)). La première idée qui nous vient serait de penser que l'oxyde de grille a claqué de façon irréversible et donc que le courant de fuite de la grille vers la source serait le responsable. Cependant si l'on mesure le niveau de courant de fuite dans l'oxyde, qui n'est autre que le courant entre la grille et la source on constate que ce dernier ne change pas quelle que soit la tension de drain appliquée et qu'il demeure de l'ordre du courant à l'état bloqué du transistor tel qu'il était originellement ceci nous permettant de conclure que l'oxyde de grille n'a donc pas claqué. Ce phénomène pourrait être dû au claquage pur et simple du nanofil lui-même, ouvrant ainsi un canal de conduction permanent quelle que soit la polarisation de grille.

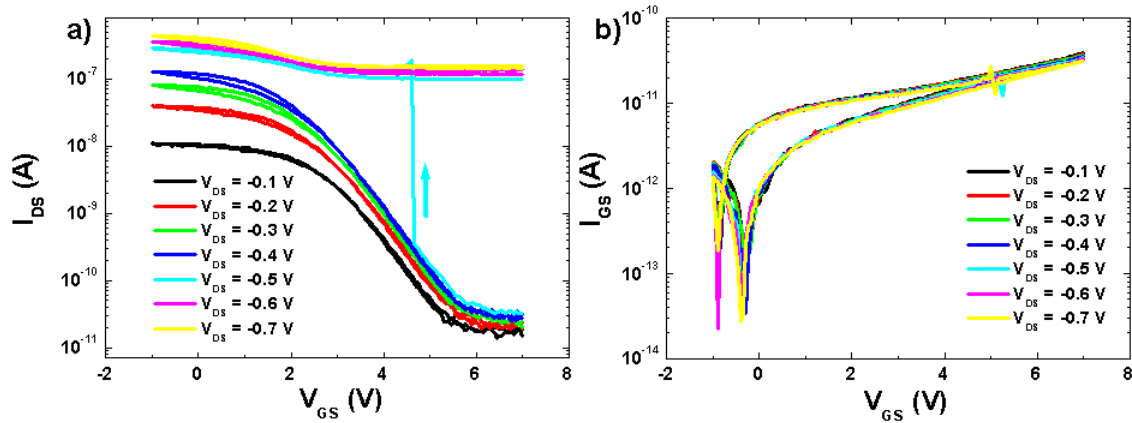


FIGURE 4.22 – a) Courbe $I_{DS} - V_{GS}$ d'un transistor vertical à nanofil SiGe pour différentes tensions de drain laissant apparaître un phénomène de claquage à $V_{DS} = -0,5$ V. b) Courbe $I_{GS} - V_{GS}$ pour différentes tension de drain du même transistor.

Trop peu de dispositifs ont pu être testés pour vérifier si ce phénomène était présent pour tous les transistors à fils SiGe. Les prochaines études menées sur ce matériau permettront très certainement d'apporter des réponses quant à la durée de vie des transistors.

4.3.6 Reproductibilité des procédés

Afin de compléter nos études, il est essentiel d'estimer la reproductibilité de notre procédé technologique et de savoir si celui-ci permet d'obtenir des dispositifs en grand nombre présentant une faible dispersion des caractéristiques électriques. Si ce procédé nous a permis de fabriquer un grand nombre de transistors, il faut noter qu'un très faible nombre d'entre eux étaient fonctionnels. Cela tient à plusieurs facteurs et particulièrement à la dimension des substrats utilisés. Les démonstrateurs ont en effet été réalisés sur des coupons de 10×10 mm². De nombreuses étapes plasma sont utilisées durant l'intégration notamment concernant la définition de la longueur de grille et le dégagement de la tête des nanofils pour la reprise du contact supérieur. Or sur de tels échantillons, les inhomogénéités induites par la forme carrée du coupon combinée à ses petites dimensions favorisent à la fois la dispersion des caractéristiques électriques mais également diminue le nombre de transistors fonctionnels. Nous constatons lors des gravures les phénomènes suivants :

1. La hauteur de la grille n'est pas la même au centre qu'au bord de l'échantillon. Lors de l'étalement de

résine un léger bourrelet se forme en bordure de l'échantillon. Ainsi lors de la gravure, l'épaisseur de résine au centre de l'échantillon demeure toujours plus faible qu'en bordure. Ceci a pour effet, lors de la gravure de grille, d'avoir des grilles plus courtes au centre de l'échantillon. Ce phénomène engendre donc des dispersions du point de vue électrique entre les dispositifs. Cette dispersion n'est observée que si le contact supérieur est bien pris sur tous les nanofils, or un autre problème surgit à cette étape.

2. La gravure du polymère permettant d'accéder à la tête des nanofils est elle-aussi inhomogène sur la surface de l'échantillon. Il arrive donc fréquemment que des grilles se retrouvent exposées créant ainsi un court-circuit lors de la prise de contact supérieur. Au delà de la dispersion ce problème majeur empêche totalement le bon fonctionnement des transistors.
3. L'utilisation de colloïdes comme catalyseurs de croissance combiné à l'utilisation de lithographie optique ne permet pas de contrôler précisément le nombre de nanofils présents dans la zone de croissance. Ceci a pour effet de considérablement moduler le comportement des transistors.

Afin de palier à ces problèmes les solutions les plus évidentes s'offrant à nous sont d'utiliser à la fois des substrats standards de la microélectronique et de localiser les nanofils grâce à de la lithographie électronique garantissant ainsi un meilleur contrôle du nombre de fils présents dans la région de croissance.

4.3.7 Bilan - transistors SiGe

La faisabilité d'intégration verticale de nanofils SiGe a été, pour la première fois, démontrée. Le faible nombre de travaux comparables ne permet pas de se positionner précisément sur ce domaine. On constate cependant que les performances attendues ne sont pas obtenues notamment concernant la mobilité des porteurs et les pentes sous le seuil. Le phénomène d'hystérésis a tout de même été drastiquement réduit grâce à l'enrobage des fils dans une matrice de polymère.

La croissance localisée des nanofils SiGe reste à améliorer mais elle semble en tout cas plus complexe à maîtriser d'après les premiers essais effectués. Un phénomène de vieillissement prématuré des transistors a été observé et des études sont nécessaires afin de déterminer son origine physique. Un claquage du semi-conducteur composant les fils pourrait être la cause de cette rupture.

4.4 Conclusion de l'intégration verticale

Nous avons développé une filière technologique permettant d'utiliser des nanofils Si et SiGe comme canaux de conduction dans des transistors verticaux. Ce développement a consisté à déterminer la procédure la plus adaptée pour localiser le catalyseur de croissance, à développer des procédés permettant de réaliser une grille enrobante de longueur contrôlée sur des assemblées de nanofils, à choisir le matériau diélectrique le plus adapté afin d'isoler les dispositifs à la fois du monde extérieur mais également d'isoler la grille et le futur contact drain et enfin à déterminer la méthode de dépôt la plus adaptée à la métallisation du contact supérieur.

Cette procédure technologique a ainsi permis la réalisation de dispositifs à effet de champs viables présentant de bonnes caractéristiques qui sont au niveau de l'état de l'art actuel. La comparaison des performances des dispositifs verticaux avec celles des dispositifs planaires suggère qu'une marge de manœuvre importante reste disponible afin d'obtenir des caractéristiques électriques de meilleure qualité. De nombreuses étapes technologiques permettraient en effet d'obtenir des performances bien meilleures comme le recuit des oxydes de grille sous atmosphère réductrice, l'utilisation d'oxydes ALD afin d'obtenir des épaisseurs équivalentes

d'oxyde très faibles mais également afin de diminuer le budget thermique du procédé entier, l'utilisation de substrats de plus grande taille dans le but d'homogénéiser les comportements des transistors.

Chapitre 5

Conclusion Générale

De cette étude se dégagent deux grandes parties :

– **L'intégration planaire et la caractérisation électriques de nanofils Si et SiGe**

Dans cette partie nous avons mis en place deux méthodes technologiques nous permettant de réaliser des transistors à grille arrière ou à double grille avec une grille avant parfaitement enrobante. Le procédé de réalisation de la grille avant enrobante nécessite l'utilisation d'une gravure chimique qui pourrait à terme être remplacée par une gravure sèche afin de réaliser des dispositifs à canaux courts.

Nous avons pu mettre en avant la difficulté que représente l'optimisation des contacts à travers le procédé de siliciuration des nanofils. La difficulté principale étant le contrôle de la longueur de siliciure formé qui dépend directement du diamètre des nanofils. Cette dépendance a été observée pour les deux matériaux étudiés, Si et SiGe. La question se pose de la réelle nécessité de contrôler la longueur du canal grâce à la siliciuration. Si ce contrôle ne s'avère pas indispensable il sera judicieux d'utiliser directement un siliciure comme contact afin d'éviter la propagation du nickel dans les nanostructures et ainsi garantir une plus grande reproductibilité des procédés.

La siliciuration des nanofils SiGe a mis en évidence un phénomène de ségrégation du germanium en raison des différences entre les énergies de formation du siliciure de nickel et du germaniure de nickel. Dans des conditions spécifiques nous avons également observé une diffusion importante du nickel induisant la rupture de la conduction électrique dans les nanofils et donc préjudiciable au bon fonctionnement des dispositifs.

Nous avons pu caractériser les nanofils Si et SiGe en les utilisant comme des transistors à effet de champ. Les caractéristiques se sont avérées être à l'état de l'art international confirmant à la fois la qualité des nanofils mais également la pertinence du schéma d'intégration utilisé. Des mobilités de 270 et 250 $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ pour les trous ont été mesurées respectivement sur les fils de Si et SiGe.

Un phénomène d'hystérésis lors du balayage en tension de grille a été observé et nous avons pu faire le lien entre cet effet et la nature de la surface des nanofils. Nous avons démontré qu'un oxyde déposé par ALD ou un oxyde thermique permettaient tous les deux de diminuer cet effet. Les densités de pièges lents varient entre $1.10^{12} \text{ cm}^{-2}$ pour les dispositifs couverts d'oxyde et atteignent jusqu'à $1.10^{13} \text{ cm}^{-2}$ pour les fils bruts de croissance.

L'oxydation thermique des nanofils Si a également mis en avant un phénomène d'inversion du dopage apparent des nanofils qui a pu être relié à une contamination par des impuretés dopantes dans le four de croissance activées lors de recuit thermique des nanofils. Nous avons également pu mettre en avant l'influence de l'atmosphère de recuit sur l'inversion du dopage. Ces impuretés dopantes sont également suspectées d'être la

cause des phénomènes d’hystérésis observés dans les nanofils oxydés. Ces impuretés sont en effet piégées dans l’oxyde thermique et perturbent ainsi le contrôle électrostatique de la grille.

Les nanofils ont enfin été utilisés dans des transistors à double grille permettant de découpler les effets de la grille arrière, qui contrôle majoritairement les contacts, de la grille avant qui contrôle la densité des porteurs dans le canal.

Nous avons finalement pu mettre en lumière en phénomène de ségrégation du germanium dans les nanofils SiGe lors de leur oxydation thermique conduisant à la formation d’une hétérostructure interne propice au confinement des porteurs en surface du nanofil à l’interface avec l’oxyde thermique.

Ces résultats nous ont prouvé la possibilité d’atteindre des caractéristiques électriques honorables dans les configurations géométriques les moins favorables. Aussi l’intégration verticale peut être envisagée en espérant obtenir des performances similaires.

– L’intégration verticale et la caractérisation électriques de nanofils Si et SiGe

Une très grande partie de cette thèse a consisté à développer un procédé d’intégration 3D des nanofils pour les utiliser comme canaux de conduction dans des transistors verticaux. Les difficultés inhérentes à l’intégration 3D ont été abordées et des solutions technologiques ont été proposées conduisant ainsi à la réalisation de transistors verticaux à nanofils Si et SiGe.

Les transistors verticaux à nanofils Si présentent des caractéristiques à l’état de l’art international avec des pentes sous le seuil de 125 mV/décade et des rapports I_{ON}/I_{OFF} de l’ordre de 10^6 . L’inversion de dopage est observée de la même manière que pour les dispositifs planaires indiquant la présence d’une grande quantité d’impuretés dopantes dans les nanofils. Le phénomène d’hystérésis a été drastiquement diminué confortant nos observations sur l’influence de l’environnement proche des nanofils. De plus aucune modification de la tension n’a été observée lors du balayage en tension de drain. En polarisation directe les dispositifs se comportent comme des diodes ayant un facteur de qualité de 1,44 et dont la résistance série a pu être mesurée à environ 250 k Ω .

Cette technologie d’intégration a également été appliquée aux nanofils SiGe et a permis de réaliser les premiers dispositifs du genre faisant ainsi l’état de l’art international. Des rapports I_{ON}/I_{OFF} d’environ 10^4 ont été mesurés avec des pentes sous le seuil allant jusqu’à 0,9 V/décade. De la même façon que pour les transistors verticaux à nanofils Si le phénomène d’hystérésis a été réduit grâce à l’enrobage des nanofils dans une matrice polymère.

Que ce soit pour le silicium ou l’alliage SiGe, les mobilités des porteurs mesurées sont très faibles et les densités de pièges à l’interface nanofil/oxyde très élevées et demanderont donc à être optimisées dans le futur.

En somme, nous avons étudié les propriétés de transport dans les SBFETs à nanofils Si et SiGe et avons pu réaliser des transistors verticaux sur substrats silicium utilisant ces mêmes nanofils. L’objectif du développement d’un procédé d’intégration 3D a donc été atteint. Il faut cependant souligner que la compatibilité back-end n’a pas encore été obtenue et nécessitera encore des développements.

Nous avons pu durant la fin de cette thèse débiter des études concernant l’optimisation des matériaux et procédés en vue d’améliorer le rendement et les performances des dispositifs. Nous nous sommes concentrés sur les aspects suivants :

1. Respect du budget thermique lors de l’intégration
2. Augmentation du nombre de dispositifs viables
3. Compatibilité avec les procédés de la microélectronique

Le chapitre suivant sera consacré à ces études. Ce ne sont pour l'instant que des prémices destinés à être améliorés mais une base solide a été édifiée et plusieurs problématiques ont pu être isolées. Nous donnerons également des pistes quant aux moyens et méthodes nécessaires pour la résolution de ces verrous technologiques.

Chapitre 6

Perspectives d'intégration back-end

6.1 Introduction

Les procédés d'intégration que nous avons développé durant cette thèse ont permis d'élaborer et de caractériser des transistors verticaux à nanofils. Cependant ces transistors utilisaient encore le substrat en silicium comme support de croissance, un oxyde thermique comme oxyde de grille et un matériau polymère comme diélectrique d'isolation. Ces trois points posent chacun un problème bien spécifique. Le substrat cristallin est impossible à fournir dans des étapes back-end sans avoir recours à des technologies complexes de collage, nous allons donc devoir démontrer la faisabilité d'une telle technologie sur un substrat amorphe et plus particulièrement sur un substrat métallique. L'utilisation d'un oxyde thermique requiert une température minimum de 800 °C, or comme nous l'avons expliqué au début de cette thèse, le budget thermique des étapes back-end est de 450 °C. Il faudra donc songer à utiliser un autre matériau comme diélectrique de grille. Enfin le matériau polymère ne supporte pas les températures requises pour la siliciuration des contacts ce qui abaisse encore plus le budget thermique déjà relativement bas. Nous devons donc utiliser un matériau supportant ces montées en température sans pour autant détériorer les dispositifs. Ce bref chapitre est consacré aux prémices du développement d'une technologie compatible avec les étapes back-end.

6.2 Croissance des nanofils

Comme nous avons vu dans le chapitre dédié à la technologie d'intégration verticale un gros travail a été effectué sur la problématique de la localisation du catalyseur. Nous avons à terme défini que la solution la plus appropriée consistait à utiliser la lithographie électronique comme moyen de positionnement du catalyseur de croissance. Au-delà de la localisation déterministe des nanofils cette méthode nous permet également d'avoir un point de croissance induisant une majorité de nanofils verticaux. Nous allons dans un premier temps nous intéresser à une méthode nous permettant d'isoler les structures sans avoir à utiliser un polymère dans le but final de pouvoir procéder à la siliciuration des nanofils.

6.3 Isolation des contacts de grille et de drain

6.3.1 Dépôt du diélectrique

Nous avons expliqué au chapitre précédent qu'à terme, l'utilisation de polymère comme couche isolante entre la grille et le drain sera à bannir pour des raisons de budget thermique afin de pouvoir procéder à la siliciuration des contacts. En effet les polymères type ACCUFLO ne supportent pas de recuit dépassant les 270°C, or la siliciuration est obtenue au voisinage de 400°C. Il faut donc envisager l'utilisation d'un autre matériau diélectrique permettant également de réaliser cette isolation. Les matériaux déposés par tournage étant majoritairement des polymères et étant donné que le SOG ne répond pas non plus à nos exigences nous nous sommes donc tournés vers les dépôts CVD. Le dépôt PECVD nous permet notamment de réaliser des couches d'oxyde de silicium et de nitrure de silicium. Ces deux matériaux sont parfaitement compatibles avec les technologies CMOS car utilisés respectivement comme oxyde de grille et espaceur. Leurs bonnes propriétés diélectriques en font également de parfaits candidats pour isoler nos contacts. Ils présentent une tenue en température adaptée à nos recuits, enfin le dépôt PECVD présente l'avantage d'être une méthode de dépôt rapide présentant une bonne conformité des couches et donc adaptée à des dépôts sur des forts facteurs d'aspect. Les premiers dépôts nous montrent en effet que cette méthode correspond à nos besoins. Les nanofils sont bien enrobés dans le diélectrique comme le présente la figure 6.1 a) et d). On remarque des vides à 60° partant de la base des nanofils (en rouge sur la figure 6.1 d) et e)). Ce phénomène est caractéristique d'un effet d'ombrage mais n'est à priori pas préjudiciable pour la réalisation d'un démonstrateur. Le dépôt étant conforme le problème de la reprise de contact se pose, une gravure sèche ou humide conduisant à la fois au retrait de l'oxyde présent au sommet du nanofil mais également à celui déposé sur le substrat. Cela aurait pour effet de supprimer toute isolation électrique entre le drain et la source. Pour éviter ceci et ne retirer que l'oxyde du sommet des fils nous avons décidé d'opter pour une étape de planarisation mécano-chimique.

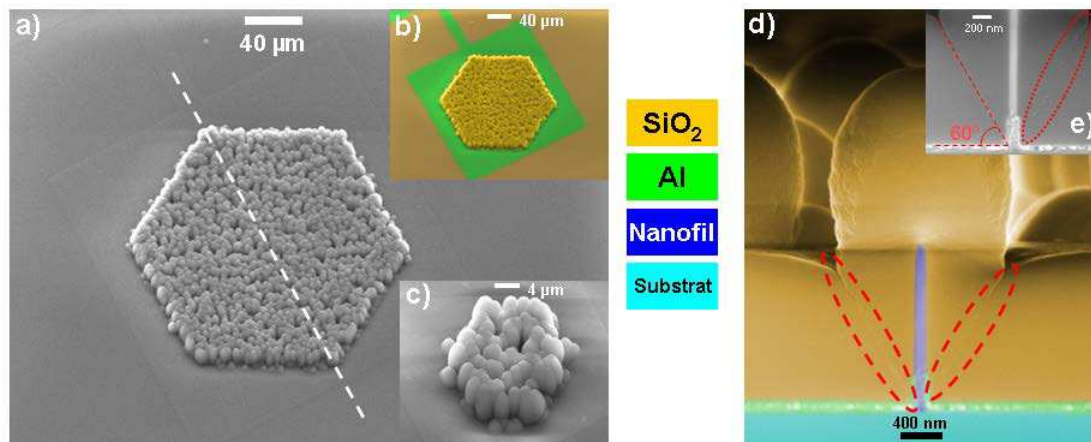


FIGURE 6.1 – a) Image MEB de nanofils Si enrobés dans 1 µm de SiO_2 PECVD. b) Images MEB (a) colorisée avec mise en évidence des différents matériaux. c) Image MEB d'une région comportant un nombre plus faible de nanofils. d) Image MEB colorisée d'une coupe du dispositif présenté en a). Les ovoïdes rouges marquent la présence de vides dans l'oxyde. e) Zoom sur le pied d'un nanofil avec mise en évidence des vides et mesure de leur angle formé par rapport au substrat.

Nous allons dans la suite exposer le principe du polissage mécano-chimique, dans un second temps nous procéderons à la calibration des vitesses de gravure sur couche 2D d'oxyde et de nitrure de silicium enfin, nous étudierons la possibilité d'effectuer cette étape sur des champs de nanofils sans endommager les structures.

6.3.2 Polissage mécano-chimique

6.3.2.1 Présentation de l'équipement

Le polissage mécano-chimique ou CMP (Chemical Mechanical Polishing) est une méthode permettant de planariser des surface en faisant intervenir d'une part des agents chimiques réagissant avec la surface à polir et d'autre part des particules abrasives venant enlever la surface modifiée chimiquement. L'échantillon à polir est positionnée sur une tête mise en vis-à-vis avec un pad (fig 6.2). La tête contrôle la pression exercée sur l'échantillon. Elle est mise en rotation et effectue un mouvement de va-et-vient en allant du bord du pad à son centre. Le pad est constitué d'un tissu à base de polyuréthane. Le liquide de polissage (slurry), amené sur le pad à l'aide d'un système de pompage, est dirigé sur le pad via des canules macroscopiques. Le slurry est une solution colloïdale constitué de billes de silice de 30 nm de diamètre en suspension dans une solution basique ammoniacquée.

L'équipement de CMP utilisé afin de planariser des nanofils verticaux est un bâti Alpsitec. La tête est équipée d'une membrane permettant d'aspirer l'échantillon en face arrière. Une des particularité est la possibilité de polir des échantillons de petite taille ($10 \times 10 \text{ mm}^2$). De manière générale la pression exercée sur les échantillons est contrôlée par un vérin qui écrase de manière contrôlée la tête de polissage sur le pad et par une arrivée de gaz en face arrière de la plaque appelée Back-side Pressure (BSP).

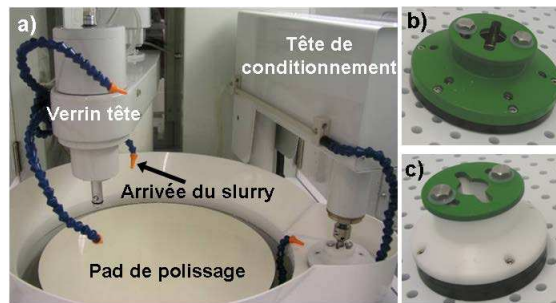


FIGURE 6.2 – a) Bâti de CMP avec les différents organes de la machines b) et c) têtes de polissage pour échantillons supérieurs au 1/4 2 pouces? et pour $10 \times 10 \text{ mm}^2$ respectivement

6.3.2.2 Calibration des vitesses de gravure

Afin d'avoir une référence en terme de vitesse de polissage nous avons choisi de calibrer les vitesses de gravure de l'oxyde et du nitrure de silicium en utilisant comme échantillons des dépôts pleine plaque. De l'oxyde et du nitrure de silicium ont donc été déposés par PECVD sur deux plaques de 2 pouces. Puis ces plaques ont été découpées en échantillons de $10 \times 10 \text{ mm}^2$. L'objectif est de pouvoir graver de manière contrôlée ces matériaux avec des vitesses raisonnables. On entend par raisonnable la possibilité de graver des épaisseurs allant de 100 à 500 nm sans jamais dépasser les 5 minutes de polissage. Les résultats obtenus sont présentés dans la figure (6.3).

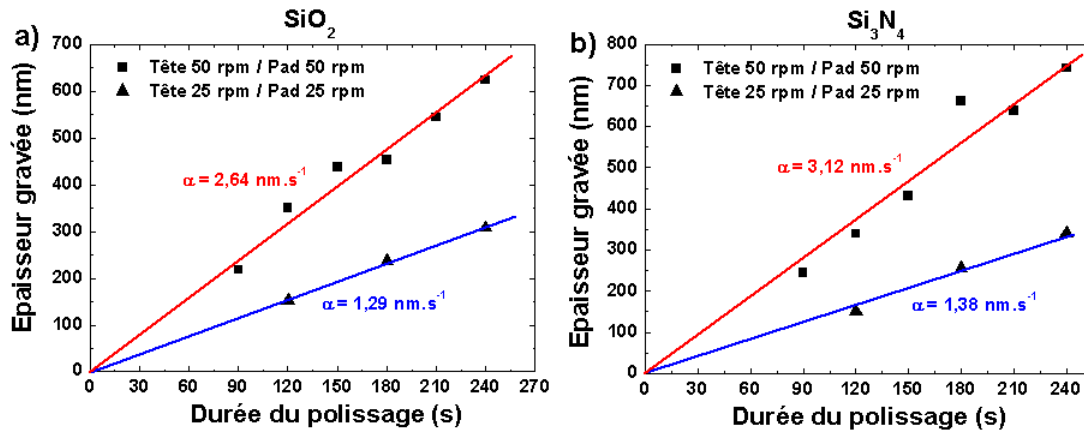


FIGURE 6.3 – Épaisseur du a) SiO_2 et b) Si_3N_4 gravée en fonction du temps de polissage pour diverses vitesses de rotation du pad et de la tête.

Globalement, doubler la vitesse à la fois du pad et de la tête permet aussi de doubler la vitesse de gravure quel que soit le matériau employé. On constate aussi que le nitrure se grave plus rapidement que l'oxyde. Plus important, ces deux points de fonctionnement, quel que soit le matériau à polir, permettent de graver avec des vitesses contrôlées des épaisseurs allant de 150 nm à 750 nm. Afin d'avoir une gravure uniforme nous choisissons également d'utiliser des durées de gravures supérieures à deux minutes.

Nous venons de montrer que nous sommes capable d'obtenir un bon contrôle de la vitesse de gravure par CMP. Ce procédé reste tout de même contraignant en ce sens où les pressions appliquées sont relativement importantes. La question à se poser est donc la suivante : les nanofils, même enrobés, sont-ils suffisamment résistants pour être gravés sans pour autant se briser ? Nous allons y répondre immédiatement.

6.3.2.3 Polissage de nanofils

Afin de mettre à l'épreuve la tenue mécanique des nanofils nous avons déposé différentes épaisseurs d'oxyde de silicium sur des champs de nanofils. Puis nous avons procédé au polissage des échantillons. Le but ici est de montrer si la CMP peut polir le sommet des nanofils, c'est-à-dire les étêter, sans les rompre. Il serait dommage de réussir à prendre un contact supérieur mais de voir la conduction rompue à cause de la rupture des fils dans leur matrice. Les fils de 2 μm de long ont donc été enrobés dans une couche de SiO_2 de 300 nm et de 1 μm d'épaisseur. Le polissage est effectué avec les conditions de gravure présentées sur la figure 6.3 . Nous choisissons un temps de polissage de 2 minutes et des vitesses de rotation de la tête et du pad de 100 rpm. De cette manière environ 150 nm de matériau devrait être gravé. On constate sur la figure (6.4) que les nanofils ont bien été étêtés comme attendu.

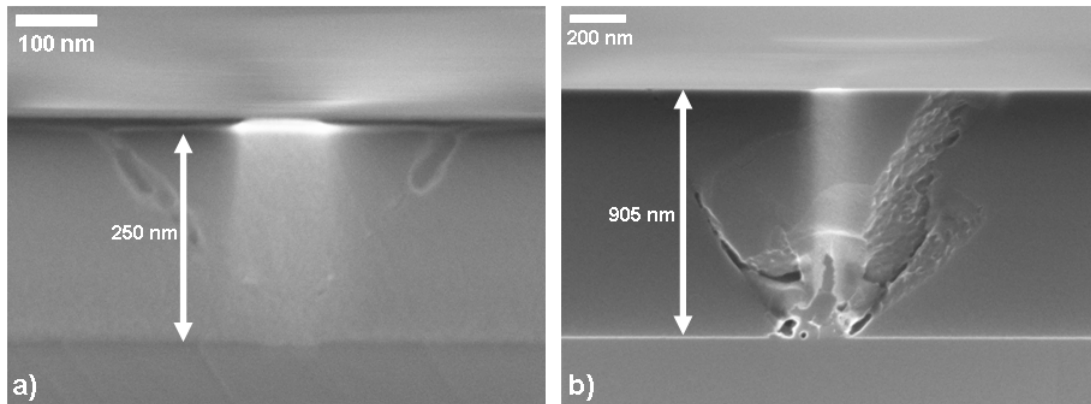


FIGURE 6.4 – Images MEB de nanofils planarisés après enrobage dans a) 300 nm et b) 1 μm d'oxyde de silicium PECVD.

Cependant, l'épaisseur restante correspond approximativement à celle déposée, 900 nm pour le dépôt de 1 μm et 250 nm pour le dépôt de 300 nm. On peut expliquer ceci en considérant qu'au début du polissage les nanofil dépassent du substrat avec leur enrobage d'oxyde. Au début de la gravure le pad exerce une pression donnée qui est localement très forte sur les fils à cause de la faible surface de contact. Ceci mène ainsi à la rupture des structures. Le pad continue ensuite le polissage mais avec une surface plus homogène et planarise donc l'ensemble de l'échantillon. Au final une épaisseur moindre que celle prévue est gravée. Il est à noter qu'après polissage une région ellipsoïdale entourant le nanofil semble s'être affaissée. Il s'agit en fait de l'oxyde déposé autour du nanofil. Cette région est délimitée par les vides présents lors du dépôt PECVD.

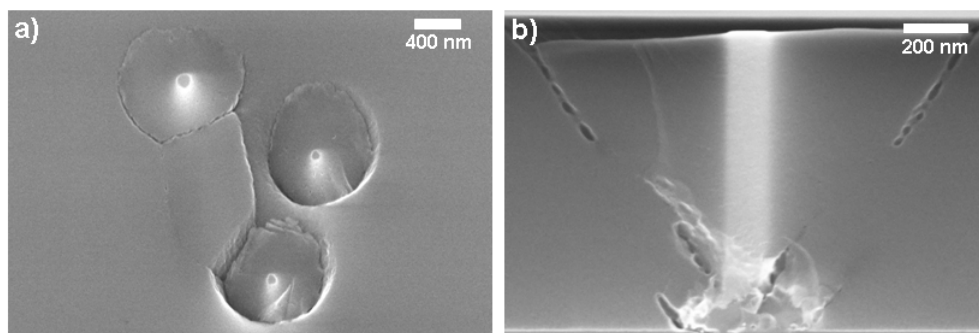


FIGURE 6.5 – Images MEB mettant en évidence le phénomène d'affaissement de l'oxyde à proximité des nanofils. a) vue de dessus b) vue en coupe.

Ce phénomène a déjà été observé dans d'autres travaux sur le polissage de nanofils germanium [102]. Aucune explication claire concernant cet phénomène n'est donnée mais on peut penser que lors de la gravure, les colloïdes de silice sont piégés autour de fils et accentuent ainsi le retrait d'oxyde dans cette région. Cette surgravure a pour risque d'empêcher la continuité électrique du contact supérieur, pour éviter cela il faudra donc toujours procéder à un dépôt par pulvérisation cathodique afin de garantir la présence de métal sur les flancs.

Le point positif est que les fils semblent avoir résisté et afin de vérifier ceci avec certitude nous gravons entièrement la couche d'oxyde dans un bain de HF 10%. Nous observons après retrait de l'oxyde un champ de nanofils tronqués à leur sommet mais toujours solidaires du substrat.

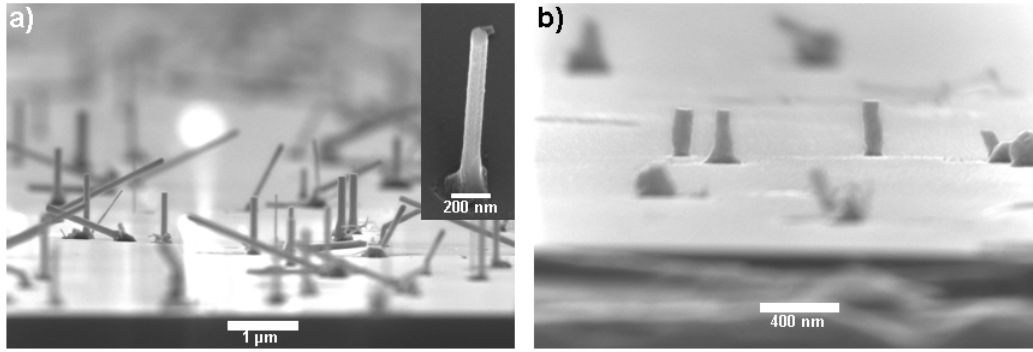


FIGURE 6.6 – Images MEB de nanofils planarisés par CMP après retrait de l’oxyde d’enrobage. Les épaisseurs d’oxydes étaient respectivement de a) 1 μm et b) 300 nm.

Leur relation épitaxiale avec ce dernier combinée à un enrobage total dans l’oxyde leur permet donc de passer l’épreuve du polissage.

Le polissage mécano-chimique étant adapté à la planarisation d’un champ de nanofils nous décidons donc de procéder de même sur des nanofils comportant une grille métallique puis de métalliser le contact sommital.

6.3.2.4 Reprise de contact après CMP

Afin de tester notre procédé d’intégration faisant intervenir la CMP nous enrobons dans un oxyde de 1 μm d’épaisseur des nanofils de 2 μm de long sur lesquels nous avons préalablement défini une grille métallique en aluminium d’environ 300 nm. Nous procédons à une étape de planarisation puis à une gravure HF (1%) afin de désoxyder le sommet des nanofils. Nous déposons ensuite du nickel par évaporation e-beam et enfin de l’aluminium par pulvérisation cathodique. La reprise de contact de la grille se fait par gravure sèche. Nous caractérisons enfin électriquement les dispositifs.

Les caractéristiques $I_{DS} - V_{DS}$ sont présentées en figure (6.7). Les niveaux de courant augmentent lorsque la taille des motifs augmente. Si l’on estime le niveau de courant passant dans un nanofil en supposant que tous les nanofils sont contactés on constate que la dispersion de la mesure s’accroît lorsque la surface des motifs diminue. Le problème de variabilité est accentué pour les plots de petites dimensions pour des raisons évidentes de baisse du nombre de nanofils contactés. Ainsi, pour un plot de $5 \times 5 \mu\text{m}^2$, une mauvaise connexion sur un fil génère-t-elle un changement de 5% dans le courant total du dispositif qui inclut une grappe de 19 fils, alors que pour un plot plus grand de $50 \times 50 \mu\text{m}^2$ contenant à continuer. Cette observation confirme deux points. Tout d’abord l’importance d’avoir une croissance contrôlée permettant d’obtenir une population de fils de la même longueur et ainsi de les contacter tous à la fois. Ensuite la nécessité de travailler sur des grappes de fils afin de minimiser la variabilité des comportements des dispositifs.

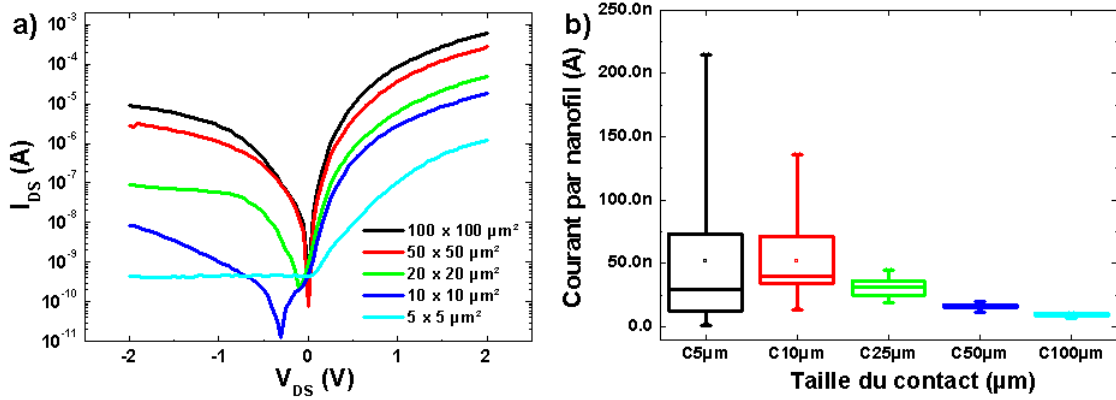


FIGURE 6.7 – a) caractéristiques électriques typiques de dispositifs à nanofils verticaux enrobés dans de l’oxyde de silicium pour différentes tailles de motifs. b) Valeur estimée du courant par nanofil à $V_{DS} = 1$ V pour les différentes tailles de motifs.

Nous ne pouvons cependant pas présenter l’action de la tension de grille car aucun effet n’est constaté sur l’évolution du courant source/drain et dans certains cas d’importants courants de fuites empêchent le fonctionnement en mode transistor. Le contact sommital reste tout de même viable avec de très bons niveaux de courant obtenus. Afin de comprendre l’origine de l’inaction de la grille nous décidons de découper l’échantillon au FIB-SEM pour obtenir une vue en coupe d’un nanofil. L’image de ce profil est présentée dans la figure (6.8).

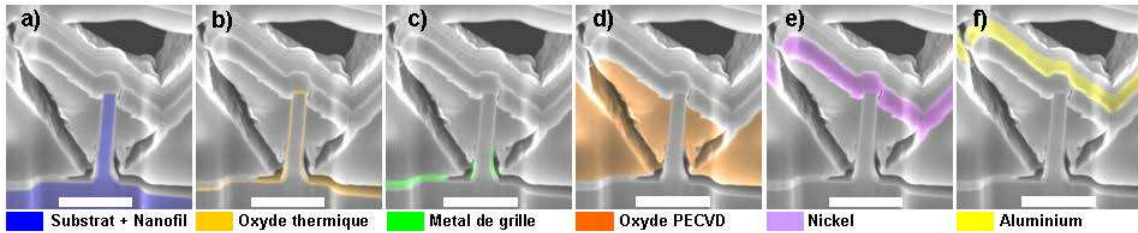


FIGURE 6.8 – Images MEB retouchées d’une coupe FIB d’un transistor vertical avec isolation par une couche d’oxyde PECVD et mise en évidence des différents matériaux.

La structure observée n’est pas tout à fait conforme à celle attendue. On constate que de grands vides sont présents à l’interface oxyde/substrat, le long du fil et selon deux axes partant de la base des nanofils avec un angle d’environ 60° . L’oxyde a en fait été gravé extrêmement rapidement lors de la désoxydation HF du nanofil. Les vides que l’on pensait être sans influence sur le procédé d’intégration ont entraîné une surgravure de l’oxyde par effet de capillarité comme nous l’avions précédemment observé avec le Spin-on-Glass. Le HF a également gravé la grille métallique d’où l’absence de contrôle électrostatique du canal. La solution à ce problème est heureusement toute trouvée. Il faudra désormais utiliser du nitrure de silicium comme matériau diélectrique car non gravable par l’acide fluorhydrique. Il faudra cependant vérifier qu’il n’engendre pas de dégradation du comportement électrique des transistors par effet de piégeage de charge.

Comme nous l’avions proposé en début de ce chapitre, l’utilisation d’un oxyde ou d’un nitrure de silicium a pour avantage de pouvoir résister à un recuit thermique comme une siliciuration. Afin de vérifier l’impact de cette siliciuration sur des dispositifs nous avons procédé au recuit de dispositifs dont les nanofils sont répartis aléatoirement sur le substrat. Les contacts de drain font $400 \times 400 \mu m^2$. Les caractéristiques $I_{DS} - V_{DS}$ avant et après recuit sont présentées dans la figure (6.9) pour trois dispositifs.

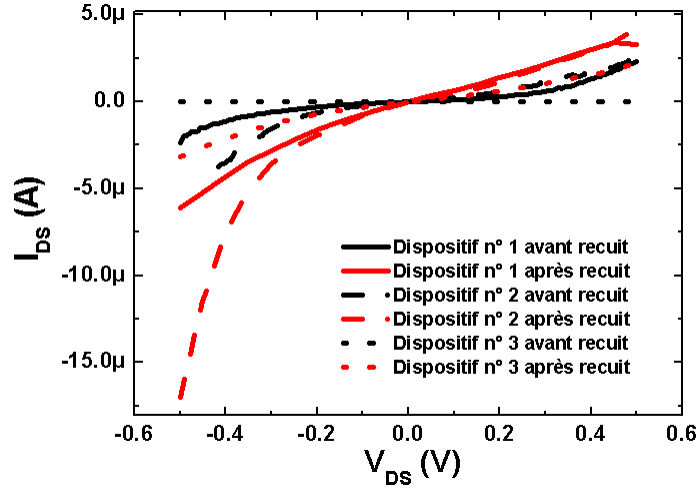


FIGURE 6.9 – Caractéristiques $I_{DS} - V_{DS}$ avant et après recuit de trois dispositifs verticaux à nanofils Si.

On constate que pour chaque dispositif une amélioration certaine est apportée par le recuit des contacts. Nous validons ainsi à la fois la tenue du matériau d'isolation lors du recuit mais également l'amélioration des performances des nanofils.

Nous allons conclure sur les améliorations apportées par ce dépôt d'oxyde PECVD et par la planarisation et verrons ensuite les autres enjeux à relever.

6.4 Bilan de la planarisation

La CMP offre une belle perspective quant à la possibilité de se diriger vers la siliciuration des contacts de dispositifs verticaux à nanofil. Des effets d'affaissement du matériau isolant à proximité des nanofils devront être pris en compte et l'amélioration des procédés pourrait mener à la diminution de ce phénomène. Cela pourra passer par l'optimisation du dépôt du diélectrique en vue de la suppression des vides à l'intérieur de la couche ou de la modification des recettes de planarisation en introduisant par exemple plusieurs étapes à différentes vitesses de rotation de la tête et du pad. La reprise de contact sommital a été démontrée et nous avons mis en évidence la nécessité d'utiliser un matériau autre que l'oxyde de silicium afin d'éviter la gravure non contrôlée de la couche de diélectrique.

L'introduction de la CMP dans le procédé d'intégration tend vers la compatibilité de notre procédé avec les besoins et contraintes du back-end. Nous proposons dans la suite de ce chapitre de s'intéresser à la possibilité de faire croître des nanofils cristallins à basse température sur un matériau métallique amorphe afin de montrer la faisabilité d'obtenir un matériau monocristallin dans les conditions de contraintes des étapes back-end.

6.5 Vers la compatibilité back-end

Comme nous venons de le dire, deux points cruciaux sont à réunir si l'on souhaite se diriger vers une possible intégration dans les étapes back-end des circuits intégrés. Tout d'abord la croissance ne doit pas dépasser les 450 °C sous peine de détruire les transistors réalisés dans le front-end. Obtenir une croissance à cette température est tout à fait possible, de nombreux travaux montrent que les fils ainsi obtenus peuvent parfaitement

répondre aux exigences de cristallinité et de verticalité que nous recherchons [39, 98], cependant très peu d'études traitent de la croissance à basse température sur substrat amorphe. Ne pouvant pas faire croître sur du cristal dans les étapes back-end il est impératif d'obtenir des fils cristallins et verticaux idéalement sur du métal. Le véritable problème est que la chimie de surface intervenant dans la croissance catalysée des nanofils n'est pas la même selon que l'on utilise du silicium cristallin ou du métal comme substrat. Il faut donc développer une croissance basse température directement sur substrat métallique. Dans un premier temps nous avons utilisé une couche d'or de 2 nm d'épaisseur déposée sur 100 nm de nitrure de titane (TiN) comme catalyseur. Le nitrure de titane étant un matériau largement utilisé dans les étapes back-end, sa compatibilité ne pose aucun problème.

6.5.1 Croissance de nanofils sur TiN

6.5.1.1 Or démouillé

Les nanofils SiGe sont les plus prometteurs car il est plus facile de les synthétiser à basse température que les fils Si. Nous avons tout de même tenté sur un premier essai de faire croître les deux types de matériaux à partir d'une couche d'or démouillé déposée sur TiN. La couche de TiN est épaisse d'environ 100 nm avec une rugosité rms, mesurée sur un champ de $1 \mu\text{m}^2$, d'environ 3 nm. Les conditions de croissance sont les suivantes :

- nanofils Si : 450°C / 90 sccm SiH_4 / 40 sccm HCl / 4,5 Torr
- nanofils SiGe : 400°C / 90 sccm SiH_4 / 60sccm GeH_4 / 40 sccm HCl / 4,5 Torr

Ces conditions standards ont permis de synthétiser au premier essai des nanofils sur substrat métallique. Évidemment comme aucune relation épitaxiale ne peut intervenir dans le processus de croissance du fait de la nature amorphe du substrat, les nanofils poussent dans toutes les directions. Le point positif à souligner est le fait que ces fils présentent peu de changements de direction de croissance. Ceci nous permettra par la suite de donner des pistes quant au moyen de guider leur croissance.

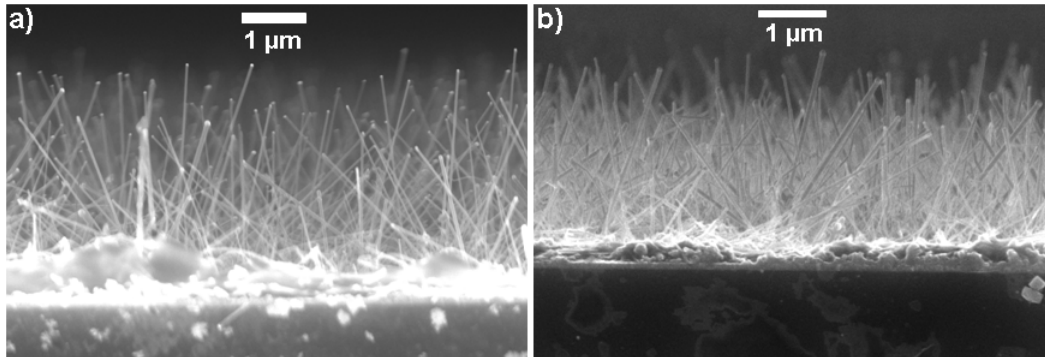


FIGURE 6.10 – Images MEB de nanofils a) Si et b) SiGe crus sur une couche mince de TiN avec 2 nm d'or comme catalyseur. (Thèse P. Periwal)

Ces premiers résultats sont très encourageants car nous venons de démontrer la possibilité d'obtenir des nanofils à basse température de silicium et alliage silicium-germanium sur un métal. Afin de vérifier si ces nanofils peuvent être éventuellement utilisés comme briques de base de l'intégration 3D nous décidons de tenter une croissance de nanofils SiGe sur plots d'or localisés.

6.5.1.2 Croissance localisée

Nous procédons comme nous avons vu dans le chapitre précédent à la définition de plots d'or de 40 nm d'épaisseur par lithographie électronique sur un substrat silicium couvert par une couche de 100 nm de TiN. La croissance est réalisée dans les mêmes conditions que précédemment pour deux températures différentes à savoir, 400 °C et 450 °C. Comme nous le constatons sur la figure (6.11), la température de 450 °C permet de mieux catalyser la croissance. En effet chaque plot d'or initie la catalyse contrairement à 400 °C où beaucoup de catalyseurs demeurent tels quels sur le substrat. Des études sont actuellement en cours afin d'optimiser au maximum les paramètres de croissance.

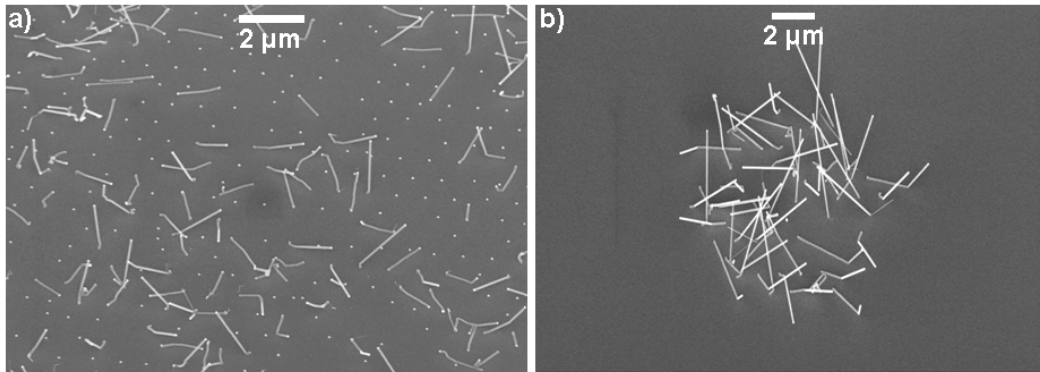


FIGURE 6.11 – Images MEB de nanofils SiGe crus sur TiN à partir des plots d'or localisés pour des températures de a) 400 °C et b) 450 °C. (Thèse P. Periwal)

Comme pour l'or démouillé les fils poussent dans toutes les directions et sont très peu coudés. Certes la croissance n'est pas verticale mais la structure des fils est très prometteuse. Le but étant d'utiliser ces objets comme transistors verticaux nous décidons de tenter de les caractériser électriquement. Pour cela nous allons simplement définir un contact supérieur et récupérer le contact inférieur sur la couche de TiN. Nous n'utiliserons que l'échantillon synthétisé à 450 °C afin de maximiser le nombre de fils contactés.

6.5.2 Caractéristiques électriques de fils SiGe crus sur TiN

Afin de caractériser électriquement les nanofils SiGe crus sur TiN ces derniers ont été enrobés dans deux couches successives de polymère ACCUFLO suivi d'une gravure plasma oxygène pour en dégager le sommet. Après un bain de HF 10% nous avons déposé 50 nm de titane suivis de 100 nm d'or. Une lithographie optique nous a permis de définir des plots de résine servant de masque à la gravure humide de l'or et du titane réalisée respectivement avec un bain d'I2 :KI suivi d'un bain de HF 1%. Un dernier plasma oxygène sert à retirer à la fois le masque en résine et à graver ACCUFLO en utilisant le contact supérieur comme masque pour atteindre la couche enterrée de TiN.

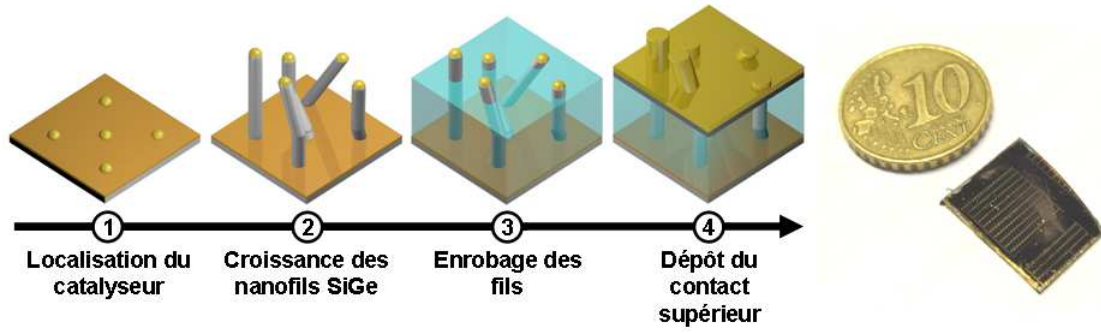


FIGURE 6.12 – Schémas représentant les principales étapes technologiques impliquées dans la croissance et la prise de contact de nanofils SiGe sur TiN. A droite, photographie de l'échantillon réalisé.

Le dispositif final est représenté sur la figure (6.12). Au total, 90 dispositifs ont été caractérisés et 83 étaient fonctionnels soit un taux de réussite de 92%. Cinq motifs de surfaces différentes ont été mesurés électriquement, les résultats sont présentés sur la figure (6.13). Les niveaux de courant mesurés sont relativement importants et traduisent donc le bon contact entre les électrodes et les nanofils. Nous constatons qu'en modifiant la surface, et donc le nombre de nanofils, le niveau de courant varie également. Cependant, pour des dimensions de zones de croissance inférieures à $50 \times 50 \mu\text{m}^2$ le courant ne diminue plus avec la surface. Ceci peut s'expliquer par le fait que la croissance est très peu verticale, ainsi nous contrôlons difficilement le nombre effectif de fils contactés. Aussi sur des pads de $5 \times 5 \mu\text{m}^2$ il peut y avoir autant de nanofils contactés que sur des pads de $25 \times 25 \mu\text{m}^2$. Ce point montre la nécessité de contrôler la direction de croissance des nanofils. Sont entourés en rouge sur le graphique les sept dispositifs ne fonctionnant pas. La figure 6.13 b) représente la valeur moyenne du courant mesurée à $V_{DS} = -0,5 \text{ V}$ pour chaque surface de motifs. On observe nettement une tendance générale avec une diminution du courant quand le nombre de fils contactés diminue. Comme nous l'avons observé sur les fils de silicium la dispersion est d'autant plus forte que la surface des motifs est petite.

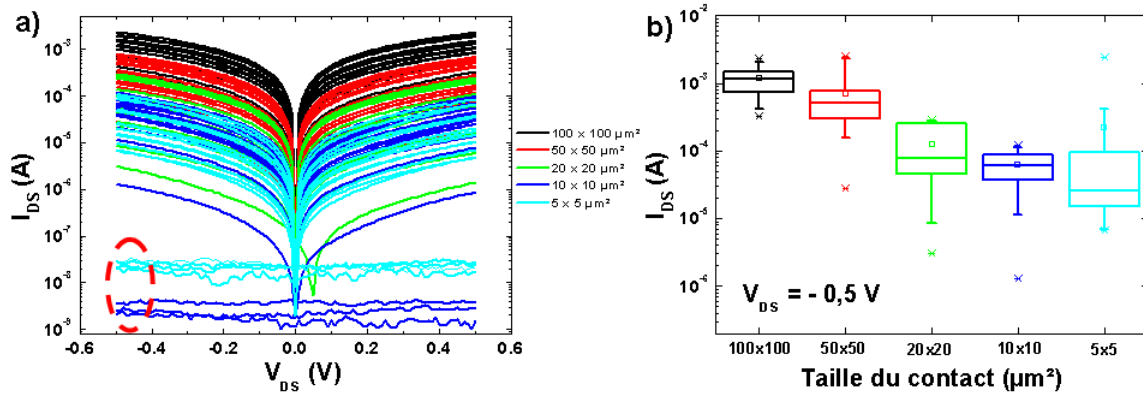


FIGURE 6.13 – a) Caractéristiques électriques des 90 dispositifs à nanofils SiGe sur TiN pour différentes surfaces de motifs. b) diagrammes de boîte représentant les valeurs de courant mesurées pour une tension de $-0,5 \text{ V}$ en fonction de la surface des motifs.

Une coupe FIB des dispositifs nous conforte dans l'idée que le contrôle de la direction de croissance est primordial. On remarque sur cette image que les fils contactés peuvent être non verticaux mais également qu'une partie d'entre eux ne débouche pas à la surface du polymère et ne contribuent donc pas à la conduction.

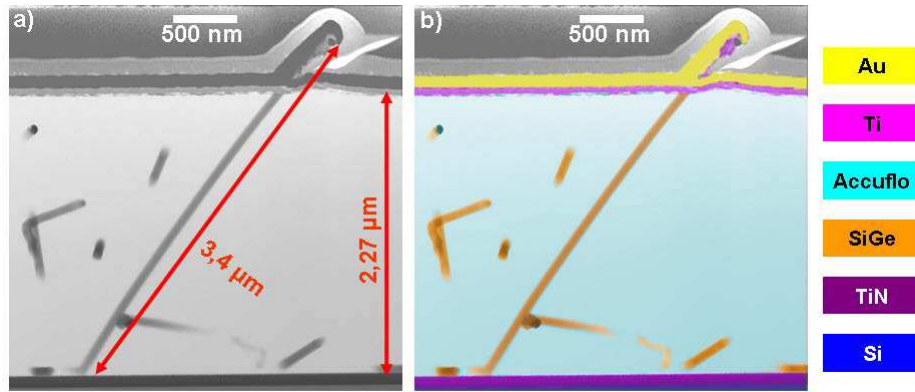


FIGURE 6.14 – Images MEB a) originale et b) colorisée d’une coupe FIB d’un dispositif vertical à nanofils SiGe sur substrat TiN avec les différents éléments mis en évidence.

6.6 Bilan de la compatibilité back-end

Nous venons de voir qu’il est possible de synthétiser des nanofils Si et SiGe à basse température sur substrat métallique. Les nanofils obtenus présentent une croissance relativement rectiligne mais pas verticale. Cette non verticalité a pour effet immédiat de ne pas contrôler le nombre de nanofils qui seront contactés. En effet les dispositifs réalisés présentent non seulement des dispersions importantes au sein de motifs identiques mais il est également difficile d’observer une loi d’échelle entre les différentes tailles de motifs en raison du nombre aléatoire de nanofils connectés. Le budget thermique et le matériau du substrat sont donc compatibles avec une intégration back end et la viabilité des nanofils du point de vue électrique nous permet de croire en leur future intégration.

Nous gardons tout de même à l’esprit le fait que le catalyseur employé jusqu’à maintenant pour la croissance des nanofils est de l’or. Ce point spécifique est la source majeure des reproches faits à la méthode de croissance VLS de nanofils. Nous allons maintenant, avant de conclure ce chapitre, nous pencher sur les raisons qui font que l’or n’est pas adapté à une intégration back-end et proposer des pistes pour palier à cette problématique.

6.7 Compatibilité du catalyseur

6.7.1 Introduction

Un point clef qui n’a pas encore été abordé est le catalyseur. Nous avons toujours, durant cette thèse, utilisé l’or. Le problème est que ce métal est connu pour être un poison pour la microélectronique. En effet il introduit des états pièges dans le gap du silicium et plus particulièrement en milieu de gap. Une fois ces pièges présents dans le cristal ils peuvent alors agir comme zones privilégiées pour la recombinaison des porteurs au sein du canal et donc dégrader les performances électriques des dispositifs. De plus l’or est capable de diffuser sous l’effet d’une montée en température et peut notamment s’incorporer dans l’oxyde de grille des transistors. Un tel phénomène est dramatique car il augmente considérablement le niveau de courant de grille et annule donc tout effet transistor. Nous allons donc dans cette courte section donner des alternatives à l’utilisation de l’or puis ferons un état de l’art des travaux menés sur la contamination des nanofils silicium par l’or après croissance VLS.

6.7.2 Les alternatives à l'or

Si l'on souhaite totalement supprimer l'or des procédés de catalyse il faut alors recourir à un autre matériau permettant de réaliser la croissance des nanofils. A l'heure actuelle plusieurs d'entre eux sont envisagés. Nous allons brièvement décrire les résultats obtenus sur ces matériaux ainsi que les contraintes liées à leur utilisation.

6.7.2.1 Platine, palladium, cobalt et nickel

Ces quatre métaux sont regroupés ensemble car ils présentent un mécanisme de croissance différent du système Au-Si. En effet, alors que la catalyse par l'or est obtenue à l'aide du mécanisme VLS, la catalyse par ces quatre métaux est obtenue par mécanisme VSS pour Vapeur-Solide-Solide. La spécificité de ce mécanisme est que le catalyseur demeure dans l'état solide durant la croissance. Cet aspect possède l'avantage de diminuer les parcours de diffusion des métaux sur la surface par contre des inconvénients accompagnent ce mécanisme et notamment l'effet dit de "tapering". Cet effet se traduit par dépôt 2D important au moment de la croissance le long des flancs des nanofils. Les fils présentent donc une forme conique et non cylindrique. De plus la verticalité des structures est difficile à obtenir ce qui est préjudiciable pour une bonne intégration 3D. Le dernier point restrictif pour leur utilisation dans les niveaux back-end réside dans la haute température nécessaire pour obtenir la catalyse qui est de l'ordre de 800 °C et dépasse donc le budget thermique fixé.

Un autre matériau très prometteur a récemment été proposé pour remplacer l'or, le cuivre

6.7.2.2 Le cuivre

Le cuivre est un métal déjà très largement utilisé dans les technologies de la microélectronique. C'est effet le matériau qui constitue les lignes métalliques d'interconnexions. Bien que ce métal soit également un poison pour la microélectronique, de nombreuses études ont permis d'élaborer des barrières empêchant sa diffusion dans les niveaux front-end. La catalyse est également obtenue par mécanisme VLS ce qui permet d'obtenir un diamètre de nanofils constant durant la croissance s'il n'y a pas de perte de catalyseur et de croissance 2D significative. Le problème principal réside dans l'existence d'un oxyde naturel de ce métal. Il a été récemment montré par Renard et al [103] que l'utilisation du cuivre en tant que catalyseur n'était possible qu'en réalisant une désoxydation in-situ juste avant la croissance. Cette technique nécessite donc d'avoir une machine de CVD équipée des gaz permettant de réduire l'oxyde de cuivre.

Le cuivre est donc le candidat le plus probable pour le remplacement de l'or en tant que catalyseur de croissance des nanofils. Mais avant de remplacer le catalyseur il est important de pouvoir quantifier l'influence de l'or sur le comportement électronique des nanofils silicium. Nous allons donc désormais nous intéresser aux études dédiées à cette thématique.

6.7.3 Influence de l'or sur le comportement électronique des nanofils

L'utilisation de l'or comme catalyseur à la croissance des nanofils n'implique pas nécessairement la présence d'or dans la maille cristalline des fils. Des équipes ont tout de même montré par des mesures de sonde tomographique atomique (AtomProbe) qu'une quantité importante d'or demeurerait dans les fils après la croissance au sein même du volume des fils. Cette quantification n'a cependant pas mis en lumière les effets sur les propriétés électriques des fils. Sachant désormais que l'or est bien présent au cœur des fils comment connaître l'influence de ce matériau sur les propriétés des structures élaborées ? Deux études ressortent quant à la mise en évidence de l'effet de l'or sur les nanofils.

1. Les travaux d'O. Demichel [104] concernant la photoluminescence des nanofils silicium a mis en évidence deux points importants. Avant retrait du catalyseur, les spectres de photoluminescence mettent en évidence une composante résultant de la présence du catalyseur sur les flancs des nanofils. Cependant, après retrait du catalyseur, une phase dense d'électrons-trous a été observée. Cette phase est une preuve de la grande qualité électronique des nanofils. De plus, cette phase a été observée pour des fils catalysés cuivre et or. Ainsi cela prouve que la qualité électronique des nanofils est similaire au silicium massif utilisé dans l'industrie de la microélectronique. Ces résultats prouvent donc que l'or n'a pas d'influence majeure sur le comportement électrique des nanofils.
2. Les travaux de Schmid et al [105] concernant la réalisation de diodes tunnel à base de nanofils Si. Des nanofils Si fortement dopés n ont été crus sur un substrat cristallin de silicium fortement dopé p . Ce substrat a ensuite été gravé et des contacts ont été pris au pied et au sommet des nanofils. Des diodes tunnel ont ainsi été obtenues présentant de très bonnes caractéristiques électriques. Des mesures de conductance sous forte polarisation et à basse température (4,2 K) ont également permis de sonder les états d'énergie des impuretés potentiellement présentes dans les fils. Aucune signature des pièges pouvant être induits par l'or n'a été détectée. Les auteurs annoncent donc que la densité des atomes d'or présents dans le cœur des nanofils n'excède en aucun cas 2.10^{16}cm^{-3} .

Nous pouvons conclure deux choses importantes en se basant sur ces études. Tout d'abord l'or est très certainement présent dans le cœur des nanofils mais à des densités suffisamment faibles pour ne pas induire de modification majeure dans les propriétés électroniques du cristal de silicium. Deuxièmement l'observation d'une phase condensée d'électrons-trous rapportée par Demichel et al confirme la très bonne qualité du cristal constituant les nanofils

En somme, l'or est un polluant dans le domaine des microtechnologie en raison des énergies des états pièges qu'il induit dans le gap du silicium. Des alternatives sont à l'heure actuelle en cours d'étude. Deux pistes majeurs sont envisagées. L'utilisation du mécanisme VSS en remplaçant l'or par des catalyseurs compatibles avec la microélectronique ou la conservation du mécanisme VLS avec l'utilisation du cuivre. Le mécanisme VSS présente à l'heure actuelle le défaut de nécessiter l'utilisation de températures de croissance élevées prohibitives à la compatibilité back-end. D'autre part la catalyse cuivre offre de très belles perspectives au développement d'une technologie intégrable dans les circuits intégrés mais nécessite des modifications ou l'installation d'équipements spécifiques.

Récemment la question même de l'influence du catalyseur sur les propriétés électriques des fils a été posée et deux études ont démontré la faible influence de l'or sur les caractéristiques électroniques des nanofils. Il en ressort même que le cristal de ces nanofils présente la même qualité que le silicium massif utilisé pour la fabrication des transistors en front-end.

S'il s'avère possible de conserver l'or dans les étapes back-end car n'entraînant pas de modification notable du point de vue électrique dans les nanofils, le point technologique important sera de contrôler la diffusion de cet élément afin d'éviter toute pollution des étapes front-end.

6.8 Conclusion

Nous venons de démontrer dans ce chapitre que le respect du budget thermique dans la réalisation de dispositifs à nanofils passe par deux moyens. Tout d'abord la CMP nous a permis de démontrer la possibilité d'utiliser des oxydes PECVD synthétisés à basse température dans le but d'isoler la grille du drain. Des problèmes inhérents à la nature même de ce matériau lors de la désoxydation des fils ont été mis en évidence

et notre choix s'oriente donc vers le remplissage avec du nitrure de silicium. Dans un second temps nous avons montré que la croissance pouvait également être obtenue à basse température avec un maximum de 450 °C. Nous avons également validé un procédé de croissance sur substrat métallique à 450 °C. La réalisation et la caractérisation de dispositifs utilisant ces nanofils ont montré la viabilité électrique des structures obtenues. Nous avons donc franchi un pas vers l'intégration back-end en apportant des solutions quant à la diminution de la température de croissance, au remplissage par voie chimique en phase vapeur permettant par la suite d'utiliser des étapes de siliciuration des contacts et enfin en réalisant des dispositifs sur des lignes de métal. De nombreuses optimisations sont encore à apporter concernant notamment le catalyseur de croissance ainsi que la verticalité des fils crus sur ligne de métal. Ces deux points seront discutés plus en détails dans les perspectives de ce travail.

6.9 Perspectives générales

6.9.1 Intégration sur substrat métallique

Nous venons de voir que l'intégration de nanofils sur un substrat métallique est tout à fait prometteuse. Nous avons soulevé le problème de la dispersion des mesures directement corrélée avec la direction de croissance des nanofils. Aussi la suite logique de cette étude serait de trouver un moyen permettant de contrôler la verticalité des nanofils afin d'assurer une reproductibilité des résultats et un contrôle des caractéristiques électriques des dispositifs fabriqués. En se basant sur des travaux précédemment réalisés par P. H. Morel nous proposons l'idée suivante. Si l'on souhaite contrôler la croissance des nanofils sur un substrat non cristallin la seule méthode est de forcer ces derniers à pousser de manière verticale. Pour cela il faut donc les guider à l'aide d'une matrice. La solution envisagée serait de déposer une couche d'oxyde ou de nitrure de silicium sur la ligne de métal puis, à l'aide d'une lithographie électronique et d'une gravure plasma, d'ouvrir ce matériau afin d'y creuser des cavités dont le diamètre correspondrait à celui des fils (figure 6.15). On procéderait ensuite au dépôt du catalyseur et à son retrait par gravure ionique du sommet de la matrice. Enfin il suffirait de faire croître les nanofils qui seraient guidés par cette matrice. Il a été montré que les fils changeaient brusquement de direction de croissance à la sortie du guide. Aussi il suffirait d'adapter l'épaisseur de la matrice pour obtenir une longueur vertical contrôlée puis d'étêter les fils par CMP comme nous l'avons précédemment montré. Cette étude est actuellement en cours et devrait permettre de prouver la viabilité des nanofils pour les étapes back-end.

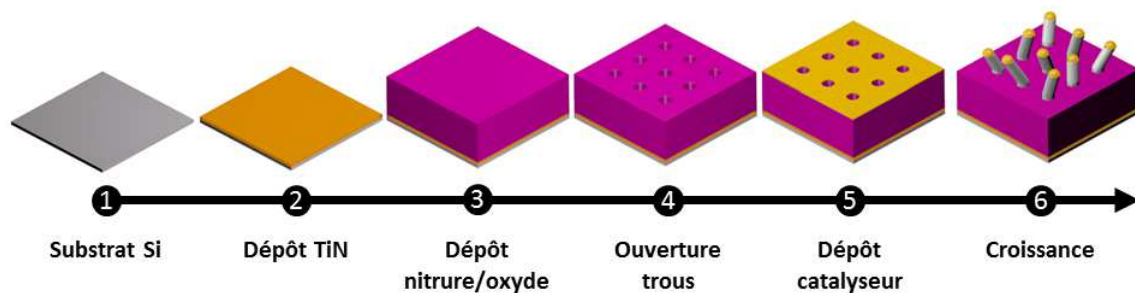


FIGURE 6.15 – Principales étapes technologiques impliquées pour réaliser le guidage de nanofils sur un substrat non cristallin.

Au delà du travail sur la compatibilité back-end d'autres études déjà amorcées devraient permettre de considérablement améliorer les performances des transistors à nanofils.

6.9.2 Vers les transistors à effet tunnel

Un projet européen récemment accepté, NAHDEVI, va permettre de conduire des études sur la réalisation de transistors à nanofils à effet tunnel. Cela consiste à réaliser une jonction p-i-n dans le nanofil. Les zones p et n servant de contacts de source et drain et la zone intrinsèque étant pilotée par grille. Ce type de dispositifs permet de dépasser la limite théorique de 60 mV/décade pour la pente sous le seuil et permettant aux porteurs de transiter par effet tunnel. Des travaux ont déjà été conduits et ont démontré cette faisabilité. Nous avons également les moyens dans la bâti de croissance d'introduire des dopants p et n permettant de moduler la résistivité des nanofils comme il l'est présenté sur la figure 6.16. Cette étude fera l'objet d'une thèse à partir d'octobre 2012. Le but à terme étant de pouvoir intégrer verticalement, dans des conditions back-end des transistors tunnel.

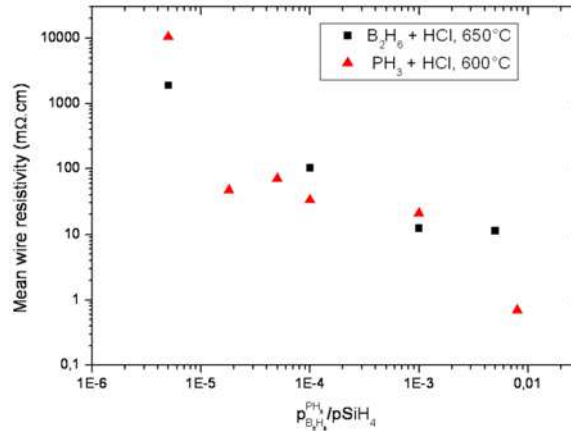


FIGURE 6.16 – Résistivité des nanofils en fonction du rapport des gaz dopants et de silane.

6.10 Conclusion

Nous avons pu commencer le développement de procédé entièrement compatibles avec les exigences back-end. Des problèmes ont été soulevés concernant notamment le guidage des nanofils lors de leur croissance sur un substrat non cristallin. Des solutions ont été proposées quant à l'utilisation d'une matrice diélectrique afin de confiner la croissance des fils et ainsi de les orienter. Les premiers dispositifs montrent la faisabilité de reprise de contact tout en utilisant la couche métallique comme électrode inférieur. Les phénomènes de dispersion des caractéristiques électriques sont également à relier à la faible quantité de fils verticaux et devraient donc être améliorés lorsque le guidage des nanofils sera maîtrisé. Finalement de nouveaux dispositifs utilisant l'effet tunnel bande-à-bande devraient permettre, grâce au dopage des nanofils, d'optimiser considérablement les performances électriques des transistors.

Bibliographie

- [1] R. Chau, S. Datta, , M. Doczy, B. Doyle, B. Jin, J. Kavalieros, A. Majumdar, M. Metz, and M. Radosavljevic. Benchmarking Nanotechnology for High-Performance and Low-Power Logic Transistor Applications. *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, 4(2) :153, 2005.
- [2] J. S. E. Lilienfeld. Method and apparatus for controlling electric currents. *U.S. Patent 1745175*, 1930.
- [3] J. S. E. Lilienfeld. Device for controlling electric current. *U.S. Patent 1900018*, March 1933.
- [4] J. R. Ligenza and W. G. Spitzer. The mechanisms for silicon oxidation in steam and oxygen. *J. Phys. Chem. Solids*, 14 :131–136, 1960.
- [5] W. Schokley and G. L. Pearson. Modulation of Conductance of Thin Films of Semiconductors by Surface Charges. *Phys. Rev.*, 74 :232, 1948.
- [6] F. G. Allen and G. W. Gobeli. Work Function, Photoelectric Threshold and Surface States of Atomically Clean Silicon. *Phys. Rev.*, 127 :150, 1962.
- [7] S. M. Sze and K. K. Ng. *Physics of Semiconductor Devices*. 3rd edition, 2007.
- [8] [http ://blogs.synopsys.com/theeyeshaveit/2012/03/03/the-role-of-ip-in-more-moore-and-more-than-moore/](http://blogs.synopsys.com/theeyeshaveit/2012/03/03/the-role-of-ip-in-more-moore-and-more-than-moore/).
- [9] [http ://www.realworldtech.com/intel-22nm-finfet/](http://www.realworldtech.com/intel-22nm-finfet/).
- [10] [http ://spectrum.ieee.org/computing/hardware/moores-law-meets-its-match](http://spectrum.ieee.org/computing/hardware/moores-law-meets-its-match).
- [11] C.-T. Ko and K.-N. Chen. Wafer-level bonding/stacking technology for 3D integration. *Microelectronics Reliability*, 50(4) :481 – 488, 2010.
- [12] H. Lim, S.-M. Jung, Y. Rah, T. Ha, H. Park, C. Chang, W. Cho, J. Park, B. Son, J. Jeong, H. Cho, B. Choi, and K. Kim. 65Nm High Performance SRAM Technology with 25F2, 0.16Um2 S3 (Stacked Single-crystal Si) SRAM Cell, and Stacked Peripheral SSTFT for Ultra High Density and High Speed Applications. page 549, 2005.
- [13] R. T. Tung. Chemical Bonding and Fermi Level Pinning at Metal-Semiconductor Interfaces. *Phys. Rev. Lett.*, 84(26) :6078, 2000.
- [14] R. L. Jiang, J. L. Liu, J. Li, Y. Shi, and Y. D. Zheng. Properties of Schottky contact of Al on SiGe alloys. *Appl. Phys. Lett.*, 68(8) :1123, 1996.
- [15] M. Mamor, J.-L. Perrossier, V. Aubry-Fortuna, F. Meyer, D. Bouchier, S. Bodnar, and J.L. Regolini. Fermi-Level Pinning in Schottky Diodes on IV-IV Semiconductors : Effect of Ge and C Incorporation. *Thin Solid Films*, 294 :141–144, 1997.
- [16] B. Li, S.-J. Chua, Y. Nikolai, L. Wang, and E.-K. Sia. Properties of Schottky contact of titanium on low doped p-type SiGeC alloy by rapid thermal annealing. *Solid-State Electron.*, 47 :601 – 605, 2003.

- [17] S. Chakraborty, M. K. Bera, G. K. Dalapati, D. Paramanik, S. Varma, P. K. Bose, S. Bhattacharya, and C. K. Maiti. Leakage current characteristics and the energy band diagram of Al/ZrO₂/Si_{0.3}Ge_{0.7} hetero-MIS structures. *Semicond. Sci. Technol.*, 21(4) :467–472, 2006.
- [18] C. R. Crowell and S. M. Sze. Current Transport in Metal-Semiconductor Barriers. *Solide State Electron.*, 9 :1035, 1966.
- [19] N. Singh, K. D. Buddharaju, S. K. Manhas, A. Agarwal, S. C. Rustagi, G. Q. Lo, N. Balasubramanian, and D.-L. Kwong. Si, SiGe Nanowire Devices by Top-Down Technology and Their Applications. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 55(11) :3107, 2008.
- [20] Z. Huang, N. Geyer, P. Werner, J. de Boor, and U. Gösele. MetalAssisted Chemical Etching of Silicon : A Review. *Adv. Mater.*, 23 :285 – 308, 2011.
- [21] R. S. Wagner and W. C. Ellis. Vaporliquidsolid mechanism of single crystal growth. *Appl. Phys. Lett.*, 4 :89, 1964.
- [22] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, and C. M. Lieber. High Performance Silicon Nanowire Field Effect Transistors. *Nano Lett.*, 3(2) :149 – 152, 2003.
- [23] J. Appenzeller, J. Knoch, E. Tutuc, M. Reuter, and S. Guha. Dual-gate silicon nanowire transistors with nickel silicide contacts. *Technical Digest-IEDM*, page 4154261, 2006.
- [24] K.-K. Lew, L. Pan, T. E. Bogart, S. M. Dilts, E. C. Dickey, J. M. Redwing, Y. Wang, M. Cabassi, T. S. Mayer, and S. W. Novak. Structural and electrical properties of trimethylboron-doped silicon nanowires. *Appl. Phys. Lett.*, 85(15) :10 – 16, 2004.
- [25] O. Hayden, M. T. Bjork, H. Schmid, H. Riel, U. Drechsler, S. F. Karg, E. Lçrtscher, and W. Riess. Fully Depleted Nanowire Field-Effect Transistor in Inversion Mode. *Small*, 3(2) :230–234, 2007.
- [26] Z. Fan, D. Wang, P.-C. Chang, W.-Y. Tseng, and J. G. Lu. ZnO nanowire field-effect transistor and oxygen sensing property. *Appl. Phys. Lett.*, 85(24) :5923, 2004.
- [27] P.-C. Chang, Z. Fan, C.-J. Chien, D. Stichtenoth, C. Ronning, and J. G. Lu. High-performance ZnO nanowire field effect transistors. *Appl. Phys. Lett.*, 89(13) :133113, 2006.
- [28] S. A. Dayeh, D. P. R. Aplin, X. Zhou, P. K. L. Yu, E. T. Yu, and D. Wang. High Electron Mobility InAs Nanowire Field-Effect Transistors. *Chem. Vap. Deposition*, 1(2) :3 – 5, 2007.
- [29] S.-K. Lee, H.-J. Choi, P. Pauzauskie, P. Yang, N.-K. Cho, H.-D. Park, E.-K. Suh, K.-Y. Lim, and H.-J. Lee. Gallium nitride nanowires with a metal initiated metal-organic chemical vapor deposition. *phys. stat. sol. (b)*, 241(12) :2775 – 2778, 2004.
- [30] Q.-T. Do, K. Blekker, I. Regolin, W. Prost, and F. J. Tegude. High Transconductance MISFET With a Single InAs Nanowire Channel. *IEEE ELECTRON DEVICE LETTERS*, 28(8) :2007, 2007.
- [31] A. Javey, J. Guo, M. Paulsson, Q. Wang, D. Mann, M. Lundstrom, and H. Dai. High-Field Quasiballistic Transport in Short Carbon Nanotubes. *Phys. Rev. Lett.*, 92(10) :106804, 2004.
- [32] A. Javey, J. Guo, Q. Wang, M. Lundstrom, and H. Dai. Ballistic carbon nanotube field-effect transistors. *Nature*, 424(6949) :654–657, 2003.
- [33] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong. Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET. *IEEE ELECTRON DEVICE LETTERS*, 29(7) :791, 2008.
- [34] M. Chen, H. Y. Yu, N. Singh, Y. Sun, N. S. Shen, X. Yuan, G.-Q. Lo, and D.-L. Kwong. Vertical-Si-Nanowire SONOS Memory for Ultrahigh-Density Application. *IEEE ELECTRON DEVICE LETTERS*, 14(8) :879, 2009.

- [35] R. Gandhi, Z. Chen, N. Singh, S. Member, Ieee, K. Banerjee, S. Member, Ieee, and S. Lee. Vertical Si-Nanowire n-Type Tunneling FETs With Low Subthreshold Swing (50 mV/decade) at Room Temperature. *IEEE ELECTRON DEVICE LETTERS*, 32(4) :437, 2011.
- [36] Y. Sun, H. Y. Yu, N. Singh, K. C. Leong, E. Gnani, G. Baccarani, G. Q. Lo, and D. L. Kwong. Vertical-Si-Nanowire-Based Nonvolatile Memory Devices With Improved Performance and Reduced Process Complexity. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 58(5) :1329, 2011.
- [37] H. T. Ng, J. Han, T. Yamada, P. Nguyen, Y. P. Chen, and M. Meyyappan. Single Crystal Nanowire Vertical Surround-Gate Field-Effect Transistor. *Nano Lett.*, 4(7) :1247 – 1252, 2004.
- [38] J. Goldberger, A. I. Hochbaum, R. Fan, and P. Yang. Silicon Vertically Integrated Nanowire Field Effect Transistors. *Nano Lett.*, 6(5) :973 – 977, 2006.
- [39] V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, and U. Gösele. Realization of a Silicon Nanowire Vertical Surround-Gate Field-Effect Transistor. *smll*, 3(1) :345 – 551, 2006.
- [40] T. Bryllert, L.-E. Wernersson, T. L. wgren, and L. Samuelson. Vertical wrap-gated nanowire transistors. *Nanotechnology*, 17 :S227 – S230, 2006.
- [41] T. Bryllert, L.-E. Wernersson, L. E. Fröberg, and L. Samuelson. Vertical High-Mobility Wrap-Gated InAs Nanowire Transistor. *IEEE ELECTRON DEVICE LETTERS*, 27(5) :157, 2006.
- [42] K. Byon, D. Tham, J. E. Fischera, and A. T. Johnson. Systematic study of contact annealing : Ambipolar silicon nanowire transistor with improved performance. *Appl. Phys. Lett.*, 90 :143513, 2007.
- [43] C. Jacobini, C. Canali, G. Ottaviani, and A. Alberigi Quaranta. A Review of Some Charge Transport Properties of Silicon. *Solid State Electron.*, 20(2) :77–89, 1977.
- [44] C.-J. Kim, J.-E. Yang, H.-S. Lee, H. M. Jang, and M.-H. Jo. Fabrication of Si_{1-x}Ge_x alloy nanowire field-effect transistors. *Appl. Phys. Lett.*, 91 :033104, 2007.
- [45] C. Qi, G. Goncher, R. Solanki, and J. Jordan. SiGe nanowire growth and characterization. *Nnaotechnology*, 18 :075302, 2007.
- [46] S. J. Whang, S. J. Lee, W. F. Yang, B. J. Cho, Y. F. Liew, and D. L. Kwong. Synthesis and transistor performances of high quality single crystalline vapor-liquid-solid grown Si_{1-x}Ge_x nanowire. *Proceedings of the 7th IEEE International Conference on Nanotechnology*, pages 45–48, 2007.
- [47] T. Kawashima, G. Imamura, M. Fujii, S. Hayashi, T. Saitoh, and K. Komori. Raman and Electron Microscopic Studies of Si_{1-x}Ge_x Alloy Nanowires Grown by Chemical Vapor Deposition. *J. Appl. Phys.*, 102 :124307, 2007.
- [48] H.-K. Seong, E.-K. Jeon, M.-H. Kim, H. Oh, J.-O. Lee, J.-J. Kim, and H.-J. Choi. Interface Charge Induced p-Type Characteristics of Aligned Si_{1-x}Ge_x Nanowires. *Nano Lett.*, 8(11) :3656 – 3661, 2008.
- [49] E.-K. Jeon, H. Seo, C. W. Ahn, H. Seong, H. J. Choi, J.-J. Kim, K. j. Kong, G. Buh, H. Chang, and J.-O. Lee. Resolving microscopic interfaces in Si_{1-x}Ge_x alloy nanowire devices. *Nanotechnology*, 20 :115708, 2009.
- [50] S.-Y. Kim, H.-J. Lee, and D.-H. Ko. Agglomeration of Cylindrically Condensed Cores in Si_{1-x}Ge_x Nanowires by Oxidation. *Electrochem. Solid. St.*, 13(6) :K57–K59, 2010.
- [51] M. I. d. Hertog, J.-L. Rouviere, F. Dhalluin, P. J. Desre, P. Gentile, P. Ferret, F. Oehler, and T. Baron. Control of Gold Surface Diffusion on Si Nanowires. *Nano Lett.*, 21(5) :2008, 2008.
- [52] F. Oehler, P. Gentile, T. Baron, and P. Ferret. The effects of HCl on silicon nanowire growth : Surface chlorination and existence of a ‘diffusion-limited minimum diameter’. *Nanotechnology*, 20 :475307, 2009.

- [53] A. Potié, T. Baron, L. Latu-Romain, G. Rosaz, B. Salem, and Laurent. Controlled growth of SiGe nanowires by addition of HCl in the gas phase. *J. Appl. Phys.*, 110(2) :024311, 2011.
- [54] J. V. Wittemann, A. Kipke, E. Pippel, S. Senz, A. T. Vogel, J. de Boor, D. S. Kim, T. Hyeon, and V. Schmidt. Citrate-stabilized palladium nanoparticles as catalysts for sub-20 nm epitaxial silicon nanowires. *Appl. Phys. Lett.*, 97 :023105, 2010.
- [55] J. H. Woodruff, J. B. Ratchford, I. A. Goldthorpe, P. C. McIntyre, and C. E. D. Chidsey. Vertically Oriented Germanium Nanowires Grown from Gold Colloids on Silicon Substrates and Subsequent Gold Removal. *Nano Lett.*, 26(6) :2007, 2007.
- [56] A. J. O'Reilly, C. Francis, and N. J. Quitoriano. Gold nanoparticle deposition on Si by destabilising gold colloid with HF. *J. Colloid Interface Sci.*, 370(1) :46 – 50, 15 mars 2012.
- [57] D. Wang, Q. Wang, A. Javey, R. Tu, and H. D. e. al. Germanium nanowire field-effect transistors with SiO₂ and high- κ HfO₂ gate dielectrics. *Appl. Phys. Lett.*, 83 :2432, 2003.
- [58] O. Wunnicke. Gate capacitance of back-gated nanowire field-effect transistors. *Appl. Phys. Lett.*, 89 :083102, 2006.
- [59] Bangzhi Liu, Yanfeng Wang, Tsung ta Ho, Kok-Keong Lew, Sarah M. Eichfeld, Joan M. Redwing, Theresa S. Mayer, and Suzanne E. Mohny. Oxidation of silicon nanowires for top-gated field effect transistors. *Journal of Vacuum science and Technology A*, 26(3) :370–374, 2008.
- [60] G. Busch and O. Vogt. *Helv. Phys. Acta*, 33 :437, 1960.
- [61] Landolt-Bornstein. Numerical Data and Functional Relationship in Science and Technology. *New Series Group III*, 17a, Springer, Berlin, 1982-1987.
- [62] J. Bauer, F. Fleischer, O. Breitenstein, L. Schubert, P. Werner, U. Gösele, and M. Zacharias. Electrical properties of nominally undoped silicon nanowires grown by molecular-beam epitaxy. *Appl. Phys. Lett.*, 90 :012105, 2007.
- [63] K. Byon, J. E. Fischer, K. W. Adu, and P. C. Eklund. Silicon Nanowires : Doping Dependent N- And PChannel FET Behavior. *Mater. Res. Soc. Symp. Proc.*, 832 :F.9.9.1–F.9.9.6, 2004.
- [64] S. M. Eichfeld, T.-T. Ho, C. M. Eichfeld, A. Cranmer, S. E. Mohny, T. S. Mayer, and J. M. Redwing. Resistivity measurements of intentionally and unintentionally template-grown doped silicon nanowire arrays. *Nanotechnology*, 18 :315201, 2007.
- [65] S. H. Hong, M. G. Kang, B.-S. Kim, D. S. Kim, J. H. Ahn, D. Whang, S. H. Sull, and S. W. Hwang. Electrical characteristics of nickel silicide-silicon heterojunction in suspended silicon nanowires. *Solid-State Electron.*, 56(1) :130 – 134, 2011.
- [66] Y. E. Yaish, A. Katsman, G. M. Cohen, and M. Beregovsky. Kinetics of nickel silicide growth in silicon nanowires : From linear to square root growth. *J. Appl. Phys.*, 109 :094303, 2011.
- [67] K. Ogata, E. Sutter, X. Zhu, and S. Hofmann. Ni-silicide growth kinetics in Si and Si/SiO₂ core/shell nanowires. *Nanotechnology*, 22 :365305, 2011.
- [68] *Si/Ni-Silicide Schottky Junctions with Atomically Flat Interfaces Using NiSi₂ Source*, 2011.
- [69] R. Valentin. *Investigation du Comportement et des Potentialités en Haute Fréquence de transistors MOSFET Avancés à Contacts Source/Drain Métalliques*. PhD thesis, 2008.
- [70] M. Zaremba-Tymieniecki and Z. A. K. Durrani. Schottk-barrier lowering in silicon nanowire field-effect transistors prepared by metal-assisted chemical etching. *Appl. Phys. Lett.*, 98 :102113, 2011.

- [71] C.-H. Shih, W. Chang, W.-F. Wu, and C. Lien. Multilevel Schottky Barrier Nanowire SONOS Memory With Ambipolar n- and p-Channel Cells. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 59(6) :1614, 2012.
- [72] E. Vianello, F. Driussi, P. Blaise, P. Palestri, Member, Ieee, D. Esseni, S. Member, Ieee, L. Perniola, G. Molas, B. De Salvo, and L. Selmi. Explanation of the Charge Trapping Properties of Silicon Nitride Storage Layers for NVMS-Part II : Atomistic and Electrical Modeling. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 58(8) :2490, 2011.
- [73] B. E. Deal. Standardized Terminology for Oxide Charges Associated with Thermally Oxidized Silicon . *IEEE Trans. Electron Dev.*, ED-27 :606, 1980.
- [74] J. Kakalios, R. A. Street, and W. B. Jackson. Stretched-exponential relaxation arising from dispersive diffusion of hydrogen in amorphous silicon. *Phys. Rev. Lett.*, 59(9) :1037, 1987.
- [75] W. Zhang, J. Jie, L. Luo, G. Yuan, Z. He, Z. Yao, Z. Chen, C.-S. Lee, W. Zhang, and S.-T. Lee. Hysteresis in In₂O₃ : Zn nanowire field-effect transistor and its application as a nonvolatile memory device. *Appl. Phys. Lett.*, 93 :183111, 2008.
- [76] Z. Fahem, G. Csaba, C. M. Erlen, P. Lugli, W. M. Weber, L. Geelhaar, and H. Riechert. Analysis of the hysteretic behavior of silicon nanowire transistors. *phys. stat. sol. (c)*, 5(1) :27 – 30, 2008.
- [77] T. Hanrath and B. A. Korgel. Influence of Surface States on Electron Transport through Intrinsic Ge Nanowires. *J. Phys. Chem. B*, 109 :5518 – 5524, 2005.
- [78] P. Werner, C. C. Büttner, L. Schubert, G. Gerth, N. D. Zakarov, and U. Gösele. Gold-enhanced oxidation of silicon nanowires. *Int. J. Mat. Res.*, 98(11) :1066–1070, 2007.
- [79] T. Xie, V. Schmidt, E. Pippel, S. Senz, and U. Gösele. Gold-Enhanced Low-Temperature Oxidation of Silicon Nanowires. *smll.*, 4(1) :64–68, 2008.
- [80] V. A. Sivakov, R. Scholz, F. Syrowatka, F. Falk, U. Gosele, and S. H. Christiansen. Silicon nanowire oxidation : The influence of sidewall structure and gold distribution. *Nanotechnology*, 20 :405607, 2009.
- [81] J. Koo, M. Lee, J. Kang, C. Yoon, K. Kim, Y. Jeon, and S. Kim. Type conversion of n-type silicon nanowires to p-type by diffusion of gold ions. *Semicond. Sci. Technol.*, 25 :045010, 2010.
- [82] N. Fukata, S. Ishida, S. Yokono, R. Takiguchi, J. Chen, T. Sekiguchi, and K. Murakami. Segregation Behaviors and Radial Distribution of Dopant Atoms in Silicon Nanowires. *Nano Lett.*, 11 :651–656, 2011.
- [83] D. fan and R. J. Jaccodine. *J. Appl. Phys.*, 67(10) :6135–6140, 1990.
- [84] A. Merabet and C. Gontrand. *Physica Status Solidi A*, 145(1) :77–88, 1994.
- [85] S. Solmi, F. Baruffaldi, and R. Canteri. *J. Appl. Phys.*, 69(4) :2135–2142, 1991.
- [86] D. M. Brown M. Ghezzi. Diffusivity Summary of B, Ga, P, As and Sb in SiO₂. *J. Electrochem. Soc.*, 120 :146, 1973.
- [87] V. V. Kasatkin G. S. Kulikov S. K. Persheev K. K. Khodzhaev K.P. Abdurakhmanov, M. B. zaks. *Fizika i Tekhnika Poluprovodnikov*, 22(11) :2088–2090, 1988.
- [88] S. T. Dunham N. Jeng. *J. Appl. Phys.*, 72(5) :2049–2053, 1992.
- [89] B. M. Ditchek J. Pelleg. *J. Appl. Phys.*, 73(2) :699–706, 1993.
- [90] S. Dunham F. Wittel. *Appl. Phys. Lett.*, 66(11) :1415–1417, 1995.
- [91] H. Bakker F. H. M. Spit. *Physica Status Solidi A*, 97(1) :135–142, 1986.

- [92] A. S. Grove, O. Leistiko, and C. T. Sah. Redistribution of Acceptor and Donor Impurities during Thermal Oxidation of Silicon. *J. Appl. Phys.*, 35 :2695, 1964.
- [93] T. Irisawa, T. Numata, N. Hirashita, Y. Moriyama, S. Nakaharai, T. Tezuka, N. Sugiyama, and S. Takagi. Ge wire MOSFETs fabricated by three-dimensional Ge condensation technique. *Thin Solid Films*, 517(1) :167 – 169, 3 novembre 2008.
- [94] P.-E. Hellberg, S.-L. Zhang, F. M. d’Heurle, and C. S. Petersson. Oxidation of silicon-germanium alloys. II. A mathematical model. *J. Appl. Phys.*, 82 :5779, 1997.
- [95] P.-E. Hellberg, S.-L. Zhang, F. M. d’Heurle, and C. S. Petersson. Oxidation of silicon-germanium alloys. I. An experimental study. *J. Appl. Phys.*, 82 :5773, 1997.
- [96] R. Braunstein, A. R. Moore, and F. Herman. Intrinsic Optical Absorption in Germanium-Silicon Alloys. *Phys. Rev.*, 109 :695, 1958.
- [97] F. Schäffler. High-Mobility Si and Ge Structures. *Semicond. Sci. Technol.*, 12 :1515–1549, 1997.
- [98] M. T. Björk, O. Hayden, H. Schmid, H. Riel, and W. Riess. Vertical surround-gated silicon nanowire impact ionization field-effect transistors. *Appl. Phys. Lett.*, 90 :142110, 2007.
- [99] M. Radosavljević, S. Heinze, J. Tersoff, and P. Avouris. Drain voltage scaling in carbon nanotube transistors. *Appl. Phys. Lett.*, 83 :2435, 2003.
- [100] G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, and T. Baron. Electrical characteristics of a vertically integrated field-effect transistor using non-intentionally doped Si nanowires. *Microelectron. Eng.*, 88(11) :3312 – 3315, 2011.
- [101] G. Rosaz, B. Salem, N. Pauc, A. Potié, P. Gentile, and T. Baron. Vertically integrated silicon-germanium nanowire field-effect transistor. *Rev. Sci. Instrum.*, 99 :193107, 2011.
- [102] M. Koto, P. W. Leu, and P. C. McIntyre. Vertical Germanium Nanowire Arrays in Microfluidic Channels for Charged Molecule Detection. *J. Electrochem. Soc.*, 156(2) :K11 – K16, 2009.
- [103] V. T. Renard, M. Jublot, P. Gergaud, P. Cherns, D. Rouchon, A. Chabli, and V. Jousseau. Catalyst preparation for CMOS-compatible silicon nanowire synthesis. *Nature Nanotechnology*, 4(10) :654–657, 2009.
- [104] O. Demichel. Propriétés électroniques de nanofils de silicium obtenus par croissance catalysée. *PhD Thesis*, 2010.
- [105] H. Schmid, C. Bessire, M. T. Bjork, A. Schenk, and H. Riel. Silicon Nanowire Esaki Diodes. *Nano Lett.*, 12 :699 – 703, 2012.

Communications

Publications

G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, A. Solanki, F. Bassani, T. Baron, L. Cagnon, Electrical Characterization of Planar Silicon Nanowire Field-Effect Transistors, *Int. J. Nanosci.* Vol. 11, No. 4 (2012) 1240011 (2012)

G. Rosaz, B. Salem, N. Pauc, P. Gentile, P. Periwal, A. Potié, T. Baron, L. Latu-Romain and S. David, From planar to vertical nanowires field-effect transistors, *MRS proceeding*, 1439 (2012), Symposium AA.

G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, A. Solanki and T. Baron, High-performance silicon nanowire field-effect transistor with silicided contacts, *Semicond. Sci. Technol.* 26 (2011) 085020 (5pp)

G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, T. Baron, Electrical characteristics of a vertically integrated field-effect transistor using non-intentionally doped Si nanowires, *Microelectronic Engineering* 88 (2011) 3312–3315,

G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, T. Baron, Vertically Integrated Silicon-Germanium Nanowire Field-Effect Transistor, *Appl. Phys. Lett.* 99, 193107 (2011)

A. Solanki, P. Gentile, V. Calvo, G. Rosaz, B. Salem, V. Aimez, D. Drouin, N. Pauc, Geometrical Control of Photocurrent in Active Si Nanowire Devices, *Nano Energy*, in press, 2012

P. Gentile, A. Solanki, N. Pauc, F. Oehler, B. Salem, G. Rosaz, T. Baron, M. Den Hertog, V. Calvo, Effect of HCl on the doping and shape control of silicon nanowires, *Nanotechnology*, 23 (2012), 215702

A. potié, T. Baron, L. Latu-Romain, G. Rosaz, B. Salem, L. Montès, P. Gentile, J. Kreisel, H. Roussel, Controlled growth of SiGe nanowires by addition of HCl in the gas phase *J. Appl. Phys.* 110 (2011), 024311

A. Potié, T. Baron, F. Dhalluin, G. Rosaz, B. Salem, L. Latu-Romain, M. Kogelschatz, P. Gentile, F. Oehler, L. Montès, J. Kreisel, H. Roussel, Growth and characterization of gold catalyzed SiGe nanowires and alternative metal-catalyzed Si nanowires, *Nanoscale Research Letters*, 6 (2011), X1-9.

Conférences

G. Rosaz, A. Potie, N. Pauc, P. Gentile, L. Dupre, T. Baron, B. Salem, Vertically Integrated Si and SiGe Nanowires for the Realization of 3D Field-effect Transistors, *MRS San Francisco*, 2012 – Oral, Symposium AA.

G. Rosaz, B. Salem, N. Pauc, A. Poitié, F. Oehler, A. Solanki, P. Gentile, T. Baron, Silicon and Silicon-Germanium nanowire field effect transistors using Nickel silicide contacts, *E-MRS Nice*, 2011 – Oral

G. Rosaz, B. Salem, N. Pauc, A. Poitié, F. Oehler, A. Solanki, P. Gentile, T. Baron, Electrical characteristics of horizontal and vertical field-effect transistors using non-intentionally doped Si and SiGe nanowires, GDR Nanofils Semiconducteurs Proquerolles, 2011-Oral

P. Periwal, T. Baron, L. Latu-Romain, **G. Rosaz**, S. Bassem, F. Bassani, O. Chaix, H. Roussel, Growth & Characterization of Si/Si_{1-x}Ge_x Axial heterostructures using VLS and VSS mechanism by RP-CVD, E-MRS Warsaw, 2012 – Poster

N. Pauc, A. Solanki, P. Gentile, V. Calvo, **G. Rosaz**, B. Salem, V. Aimez, D. Drouin, N. Magnea, Size and Dielectric Coating Induced Optical Absorption Enhancement in Silicon Nanowires, ICSNN 2012, Dresden, July 22-27, 2012

B. Salem, **G. Rosaz**, N. Pauc, P. Gentile, A. Potié, T. Baron, L. Dupré, P. Periwal, L. Latu-Romain, S. David, Electrical characterisation of Vertical Gate-All-Around Si and SiGe Nanowires Field Effect Transistors, E-MRS Warsaw, 2012 – Poster

A. Solanki, N. Pauc, P. Gentile, V. Calvo, **G. Rosaz**, B. Salem, V. Aimez, D. Drouin, N. Magnea, Light absorption and carrier diffusion in single Si nanowires studied via microphotocurrent spectroscopy and electron beam induced current, E-MRS Nice, 2011 - Oral

A. Potié, T. Baron, **G. Rosaz**, B. Salem, L. Latu-Romain, P. Gentile, F. Oehler, L. Montes, J. Kreisel and H. Roussel, Growth of SiGe NW Using Gold and Alternative Metal Catalysts, MRS San Francisco , 2011-Oral

P. Gentile, N. Pauc, F. Oehler, V. Calvo, A. Solanki, **G. Rosaz**, B. Salem and T. Baron, Effect of HCl on the Doping and Shape Control of Silicon Nanowires, MRS San Francisco, 2011- Oral

B. Salem, **G. Rosaz**, A. Potié, N. Pauc, F. Oehler, A. Solanki, P. Gentile and T. Baron, Electrical Characterization of Silicon and Silicon-germanium Nanowires Field Effect Transistors, MRS Boston, 2010 – Oral

Brevets

Transistor à base de nanofil, procédé de fabrication du transistor, composant semi-conducteur intégrant le transistor, programme informatique et support d'enregistrement associés au procédé de fabrication - FR 2991100 (A1) / US2013313525 (A1)

Distinctions - Prix

Meilleur Poster - E-MRS Varsovie - Septembre 2012

Résumé

L'augmentation des performances des circuits intégrés est le leitmotiv de l'industrie de la microélectronique. En se fiant depuis plus de 50 ans à la célèbre loi de Moore stipulant que le nombre de transistors (FET) par puce doit doubler tous les deux ans cette même industrie est parvenue à des dimensions de dispositifs aussi petites que 22 nm. Désormais, afin de poursuivre cette amélioration de performances d'autres pistes sont envisagées. Finie la miniaturisation, place à la diversification. Les puces sont désormais superposées, collées et interconnectées. De cette manière l'analogique côtoie le numérique mais aussi les microsystèmes électromécaniques. C'est l'avènement des Systèmes sur puce (SoC). Le collage de puces est le point clef de cette technologie et les reprises de contacts sont très complexes. Afin de palier à ces problèmes nous proposons dans cette étude d'envisager une nouvelle technologie permettant d'élaborer directement dans les zones froides des circuits intégrés des composants actifs tels que les FETs et ainsi de se passer des méthodes de collage. Nous proposons d'utiliser des nanofils semiconducteurs synthétisés par dépôt chimique en phase vapeur assisté par mécanisme vapeur-liquide-solide. Ceci permet d'élaborer des nanofils cristallins à basse température et donc compatibles avec les zones froides des circuits intégrés. Dans cette thèse nous étudierons tout d'abord le potentiel des nanofils Si et SiGe comme canaux de conduction dans des transistors à barrière Schottky (SB-FET). Nous discuterons des performances ainsi que des problématiques inhérentes à l'utilisation de ces structures. Dans un second temps nous présenterons un procédé d'intégration 3D afin d'utiliser les nanofils en position verticale pour ensuite réaliser des transistors verticaux à grille enrobante. Nous détaillerons les problématiques de l'intégration 3D et discuterons des performances électriques obtenues en comparant aux dispositifs planaire précédemment réalisés. Enfin nous amorcerons les prémices d'une intégration entièrement compatible avec les zones froides des circuits intégrés en se concentrant sur les étapes technologiques clefs ainsi qu'aux pistes envisagées pour assurer un fonctionnement et une intégration optimum des dispositifs.

Mots Clefs : **Nanofil, transistor à effet de champ, Si, SiGe, Vertical, Intégration, 3D**

Abstract

The increase of the integrated circuits' (ICs) performances is the mainstream of microelectronics industry. Based on the Moore law which stipulates that the number of transistors per chip must double every two years, this industry reached devices dimensions as low as 22 nm. Now, in order to continue to improve the ICs' performances different ways are under study. After miniaturization it is time for diversification. From now on the chips are stacked, bonded and interconnected. By this way analog is next to digital and even to micro electro mechanical systems. This is time for System on Chip (SoC). Chip bonding is the key point of this technology and making the contacts is very complex. We propose in this study to investigate a new technology allowing to directly elaborate, in the back end steps of ICs, active components such as FETs and thus to avoid bonding techniques. We propose to use semiconducting nanowires synthesized by chemical vapor depositions assisted by the vapor-liquid-solid mechanism. This allows the elaboration of crystalline nanowires at low temperature and thus compatible the back-end steps of ICs. In this thesis we will first study the possibility to use Si and SiGe nanowires as conduction channels in Schottky barrier field-effect transistors (SB-FET). We will discuss the performances and the problematics related to the use of these structures. In a second time we will present a 3D integration process in order to use the nanowires in vertical position to realize gate-all around vertical transistors. We will detail the problematics of the 3D integration and discuss the electrical performances obtained compared to planar devices. Finally we will introduce an integration process fully compatible with ICs back-end steps focusing on the key technologic points as well as on the possible ways which could guaranty an optimum integration and behavior of the devices.

Keywords : **Nanowire, Field-Effect Transistor, Si, SiGe, Vertical, Integration, 3D**